

3/ 00-2257
(00-1352)

日本国特許庁
JAPAN PATENT OFFICE

jc971 U.S. PTO
10/022732
12/20/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 9月 3日

出願番号

Application Number:

特願2001-265210

出願人

Applicant(s):

株式会社日立製作所

株式会社日立超エル・エス・アイ・システムズ

2001年10月19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造

出証番号 出証特2001-3092569

【書類名】 特許願

【整理番号】 H01013591A

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/66

【発明者】

 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

 【氏名】 愛木 清

【発明者】

 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

 【氏名】 彦根 和文

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所半導体グループ内

 【氏名】 足立 寛之

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所半導体グループ内

 【氏名】 岡元 正芳

【発明者】

 【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内

 【氏名】 小野瀬 将生

【発明者】

 【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内

 【氏名】 水野 裕次

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社 日立超エル・エス・アイ・システムズ

【代理人】

【識別番号】 100075096

【弁理士】

【氏名又は名称】 作田 康夫

【電話番号】 03-3212-1111

【先の出願に基づく優先権主張】

【出願番号】 特願2001- 21303

【出願日】 平成13年 1月30日

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9902691

【包括委任状番号】 9102710

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】

ボンディング用パッドとプローブ検査用パッドとを配置してなる半導体集積回路装置において、上記プローブ検査用パッドは上記回路の 1 辺又は対向する 2 辺に配置して、上記プローブ検査用パッドが配置された上記 1 辺又は対向する 2 辺以外の辺に配置されたボンディング用パッドから接続用の配線を介して上記ボンディング用パッドに対応する上記プローブ検査用パッドに接続してなることを特徴とする半導体集積回路装置。

【請求項 2】

請求項 1 記載の半導体集積回路装置において、上記プローブ検査用パッドが配置された上記回路の上記 1 辺又は対向する 2 辺が同一線上に又は互いに並行に配列されるようにして複数の上記回路を半導体ウエハ上に配置形成してなることを特徴とする半導体集積回路装置。

【請求項 3】

請求項 1 記載の半導体集積回路装置において、上記プローブ検査用パッドとそれに対応する上記ボンディング用パッドとの間を接続している上記接続用の配線を、上記ボンディング用パッドの外側と上記プローブ検査用パッドの外側、又は上記ボンディング用パッドの内側と上記プローブ検査用パッドの内側に配置形成してなることを特徴とする半導体集積回路装置。

【請求項 4】

請求項 1 記載の半導体集積回路装置において、上記プローブ検査用パッドとそれに対応する上記ボンディング用パッドとの間を接続している複数の上記接続用の配線を、互いに等しい配線長に形成してなることを特徴とする半導体集積回路装置。

【請求項 5】

請求項 1 記載の半導体集積回路装置において、上記プローブ検査用パッドとそれに対応する上記ボンディング用パッドとの間を接続している上記接続用の配線

をスクライブ領域内に配置し、また、上記プローブ検査用パッドを上記ボンディング用パッドと互いに同列又は千鳥状配列関係となるように配置して、プローブ検査終了後に上記のスクライブ領域内で上記回路間が切断された時に、上記プローブ検査用パッドと上記接続用の配線とが上記回路から取り除かれるように構成してなることを特徴とする半導体集積回路装置。

【請求項 6】

請求項 1 記載の半導体集積回路装置において、上記プローブ検査用パッドとそれに対応する上記ボンディング用パッドとの間を接続している複数の上記接続用の配線を単一の配線層又は複数の配線層内に形成して、上記複数の接続用の配線間に GND 線を、又は上記複数の配線層間に GND 線層を挿入配置してなることを特徴とする半導体集積回路装置。

【請求項 7】

請求項 1 記載の半導体集積回路装置において、上記プローブ検査用パッドの近傍に静電破壊防止用の素子を接続配置してなることを特徴とする半導体集積回路装置。

【請求項 8】

4 辺にリードが配置されるパッケージであって、
パッドが対向する 2 辺に配置された半導体集積回路装置と、
上記半導体集積回路装置を保持するためのタブとを有し、
上記半導体集積回路装置の 2 辺に配置されたパッドの各々は、上記パッケージの 4 辺に配置されたリードの各々に接続されたパッケージ。

【請求項 9】

請求項 8 記載のパッケージにおいて、
上記パッケージの第 1 辺に配置される第 1 アウタリードと、第 1 辺に交差する第 2 辺に配置される第 2 アウタリードとを有し、
上記第 1 アウタリードに対応する第 1 インナーリードは上記第 1 辺に向けて屈曲して上記第 1 インナーリードの先端と上記第 2 アウタリードの対応する第 2 インナーリードの先端とは千鳥状に配置されたパッケージ。

【請求項 10】

請求項 9 記載のパッケージにおいて、

上記半導体集積回路装置のパッドは千鳥状に配置され、

上記半導体集積回路のパッドと上記インナーリードの先端とを接続するボンディングワイヤの各々の長さがほぼ等しくされたパッケージ。

【請求項 1 1】

請求項 8 記載のパッケージにおいて、

上記パッケージの辺の延長と上記半導体集積回路装置との辺の延長とが所定の角度で交わるように配置するパッケージ。

【請求項 1 2】

請求項 1 1 記載のパッケージにおいて、

上記所定の角度は約 4 5 度であるパッケージ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体ウエハ上に形成された半導体集積回路装置に関する。特に、プローブ検査におけるテスト時間の短縮を実現する半導体集積回路装置の製造方法、及び検査方法に関する。

【0 0 0 2】

【従来の技術】

半導体集積回路装置の製造工程は、半導体ウエハに基盤目状に半導体集積回路装置を形成させる前工程と、半導体ウエハを切断分離（ダイシング）してパッケージングする後工程とに大別される。その前工程の最終段階においては、半導体ウエハ上の半導体集積回路装置について個別に良否判定を行うために、プローブ検査と呼ばれる電気的特性検査が行われる。

【0 0 0 3】

図 1 6 ～ 図 2 0 により従来技術例を説明する。

【0 0 0 4】

図 1 6 に、半導体ウエハ上の半導体集積回路装置の形態を示す。一般に半導体集積回路装置は四角形状であり、1 枚の半導体ウエハ 1 0 上に約数千個の半導体

集積回路装置 1 が基盤目状に配置される。

【 0 0 0 5 】

上述のプロブ検査においては、IC テスタと半導体集積回路装置とを電氣的に接続する必要があり、一般的にはプロブカードに取り付けられたプロブ針 8 (カンチレバー方式のタングステン針など) を半導体集積回路装置のパッド 9 に機械的に接触 (針当て) させる手法が用いられている。プロブカードに取り付けられたプロブ針 8 を半導体集積回路装置 1 に対して 1 回に 1 個ずつ針当てして検査後移動する手順を約数千回繰り返すことで 1 枚の半導体ウエハについてのプロブ検査が完了する。

【 0 0 0 6 】

図 1 7 にボンディングパッドに対するプロブ針の針当ての状態を、図 1 8 にワイヤボンディングの様子を示す。図 1 7 に示す半導体集積回路装置 1 は、その中央部分に内部論理領域 5、その外周に入出力バッファ領域 3、さらにその外周にパッド領域 2 を有する。

【 0 0 0 7 】

入出力バッファ領域 3 には入出力バッファ 4 が配置され、パッド領域 2 にはボンディング用パッド (図中、口印で表記、4 辺に 6 個ずつある) 9 が配置されている。

【 0 0 0 8 】

図 1 7 に示すように、半導体集積回路装置 1 のボンディングパッド 9 が 4 辺の外周に沿ってある場合には、プロブ検査時のプロブ針 8 もチップの外周を取り囲むように 4 辺から配置される構造のプロブカードとなる。

【 0 0 0 9 】

同様に、図 1 8 に示すように、半導体集積回路装置 1 のボンディングパッド 9 が 4 辺の外周に沿ってある場合には、パッケージのリードフレームも 4 辺外周に配置され、ボンディングパッド 9 とインナーリード 7 とがボンディングワイヤ 6 によって 1 対 1 で接続される。つまり、ボンディングパッド 9 が 4 辺に存在するので、それらとインナーリード 7 とをボンディング接続すればよいのである。

【 0 0 1 0 】

このワイヤボンディングの具体的な一例が、上述したボンディングパッド9とインナーリード7とをボンディングワイヤ6で接続するものである。

【0011】

このように、従来は、半導体集積回路装置のボンディング用パッドをそのままプローブ検査のためにも使用するため、半導体集積回路装置の4辺外周のパッドに対して針当てすることが多かった。

【0012】

図19と図20に、プローブ検査時のプローブカードとプローブ針との針当ての一例を示す。

【0013】

図19の(a)は、半導体集積回路装置1の4辺外周にパッドがあって、回路1個ずつを検査する場合のプローブカード19aを示し、プローブ針8が各回路の4辺外周にある一般的な形状である。

【0014】

図19の(b)は、半導体集積回路装置1の4辺外周にパッドがあって、回路2個ずつを同時検査する場合の特殊な形状のプローブカード19bを示す。本例では、プローブ針8を各回路の4辺外周に配置するために一部の辺のプローブ針8を斜め配置した特殊な形状となるため、製作が困難であり、且つ高価なものになっていた。

【0015】

図20の(a)は、半導体集積回路装置1の対向する2辺の外周にパッドがあって、回路4個ずつを検査する場合のプローブカード20aで、プローブ針8が2列にある形状である。

【0016】

図20の(b)は、半導体集積回路装置1の対向する2辺の外周にパッドがあって、回路8個(4個×2段)ずつを同時検査する場合のプローブカード20bであり、プローブ針8が4列にある形状である。

【0017】

図20の(c)は、半導体集積回路装置1の1辺の外周にパッドがあって、回

路 1 6 個（4 個×4 段）ずつを検査する場合のプローブカード 2 0 c であり、プローブ針 8 が 4 列にある形状である。

【 0 0 1 8 】

図 2 0 の（b）並びに（c）では、プローブ針 8 が 4 列に設けられているものの、これらプローブ針 8 が斜めになる特殊な配置を必要としないため、プローブカードの製作は比較的容易な形状である。

【 0 0 1 9 】

上述したように、半導体集積回路装置の同時複数個検査の場合にも、プローブカードの製作が容易、かつ安価であることが重要である。そのためには、半導体集積回路装置のパッドは、各回路の 4 辺外周ではなく、1 辺または対向する 2 辺の外周にあることが望ましい。

【 0 0 2 0 】

なお、プローブ検査時のためのパッドの 2 辺配置化の従来例としては、例えば特開平 4 - 1 3 3 3 3 8 号公報に記載のものを挙げることができる。

【 0 0 2 1 】

【発明が解決しようとする課題】

上述したように、従来は、半導体集積回路装置のプローブ検査において、4 辺に検査用パッドがある回路構成の場合には、特殊な形状のプローブカードを使用しない限り、1 回に 1 個ずつの回路を順番に検査していく必要があり、その都度ウエハ移動と針当て操作とを繰り返してやる必要があった。そのために、1 枚の半導体ウエハ上の全ての半導体集積回路装置を検査するためには、半導体ウエハ 1 枚当たりの検査時間 = 1 回当たりの半導体集積回路装置の検査時間 × 検査回数だけ、時間がかかってしまうという問題があった。そのため、特に安価な半導体集積回路装置の製造においては、このプローブ検査にかかる時間が直接コストに影響するため無視できない大きな問題となっていた。

【 0 0 2 2 】

本発明は、上記の問題点に鑑みてなされたものであり、その目的とするところは、1 枚の半導体ウエハ上での同時複数個単位でのプローブ検査を容易化して、プローブ検査にかかるコストを低減させることができるように改良された半導体

集積回路装置を提供することである。

【 0 0 2 3 】

【課題を解決するための手段】

上記目的を達成するために、本発明においては、以下に示すような改良された回路構成を有する半導体集積回路装置が提供される。

【 0 0 2 4 】

すなわち、上記目的である 1 枚の半導体ウエハ上での同時複数個単位での回路のプローブ検査を容易化するために、本発明においては、ボンディング用パッドとプローブ検査用パッドとを配置してなる半導体集積回路装置において、上記プローブ検査用パッドを上記回路の周辺 4 辺のうちの 1 辺又は対向する 2 辺に配置して、当該プローブ検査用パッドが配置された上記 1 辺又は対向する 2 辺以外の辺に配置された所望の上記ボンディング用パッドからパッド間接続用の配線を介して、上記ボンディング用パッドをそれに対応する上記プローブ検査用パッドに接続してなる半導体集積回路装置が提供される。

【 0 0 2 5 】

なお、上記記載の半導体集積回路装置において、上記プローブ検査用パッドが配置された上記回路の上記 1 辺又は対向する 2 辺が同一線上に又は互いに並行に配列されるようにして、複数の上記回路を半導体ウエハ上に配置形成してなるのが、より望ましい。

【 0 0 2 6 】

また、上記記載の半導体集積回路装置において、上記プローブ検査用パッドとそれに対応する上記ボンディング用パッドとの間を接続している上記パッド間接続用の配線を、上記ボンディング用パッドの外側と上記プローブ検査用パッドの外側、又は上記ボンディング用パッドの内側と上記プローブ検査用パッドの内側に配置形成してなるのが、さらに望ましい。

【 0 0 2 7 】

また、上記記載の半導体集積回路装置において、上記プローブ検査用パッドとそれに対応する上記ボンディング用パッドとの間を接続している複数の上記パッド間接続用の配線を互いに等しい配線長に形成してなるのが、さらに望ましい。

【 0 0 2 8 】

また、上記記載の半導体集積回路装置において、上記プローブ検査用パッドとそれに対応する上記ボンディング用パッドとの間を接続している上記パッド間接続用の配線をスクライブ領域内に配置し、また上記プローブ検査用パッドを上記ボンディング用パッドと互いに同列又は千鳥状配列関係となるように配置して、プローブ検査終了後に上記のスクライブ領域内で上記回路間が切断された時に、上記プローブ検査用パッドと上記パッド間接続用の配線とが上記回路から取り除かれるように構成してなるのが、さらに望ましい。

【 0 0 2 9 】

また、上記記載の半導体集積回路装置において、上記プローブ検査用パッドとそれに対応する上記ボンディング用パッドとの間を接続している複数の上記パッド間接続用の配線を単一の配線層又は複数の配線層内に形成して、上記複数のパッド間接続用の配線間にGND線を、又は上記複数の配線層間にGND線層を挿入配置してなるのが、さらに望ましい。

【 0 0 3 0 】

さらには、上記記載の半導体集積回路装置において、上記プローブ検査用パッドの近傍に静電破壊防止用の素子を接続配置してなるのが、さらに望ましい。

【 0 0 3 1 】

なお、上記した本発明の特徴的回路構成を採用することにより得られる効果については、後程詳しく説明する。

【 0 0 3 2 】

また、本発明の上記以外の目的、構成並びにそれにより得られる作用・効果については、以下の実施例を挙げての具体的な説明の中で逐次明らかにされよう。

【 0 0 3 3 】

【発明の実施の形態】

以下、本発明の実施の形態につき、実施例を挙げ、図面を参照しながら詳細に説明する。

【 0 0 3 4 】

(実施例 1)

先ず、プローブ検査用パッドを半導体集積回路装置の対向する 2 辺に配置した場合の一実施例について、図 1 ～ 図 4 を用いて説明する。図 1 に、本実施例 1 におけるプローブ検査用パッドとその配線との様子を示し、図 2 に、その時のプローブ検査におけるプローブ針の針当ての様子を示す。

【 0 0 3 5 】

図 1 に示す半導体集積回路装置 1 は、中央部分に内部論理領域 5、その外周に入出力バッファ領域 3、さらにその外周にパッド領域 2 がある。入出力バッファ領域 3 には、入出力バッファ 4 が配置され、パッド領域 2 には、ボンディング用パッド（図中、口印で表記、4 辺に各 6 個ずつある）3 1 1，3 1 2，3 1 3，……とプローブ検査用パッド（図中、口の中に×印を挿入して表記、上下の 2 辺にそれぞれ 6 個ずつある）2 1 1，2 1 2，2 1 3，……とが配置され、特徴的には、上記のプローブ検査用パッドが対向する 2 辺（図中、上側と下側との 2 辺）に配置されたものである。そして、上下対向する 2 辺に配置されたプローブ検査用パッドは、それ以外の 2 辺（図中、左、右の 2 辺）に配置された対応するボンディング用パッドと、パッド領域 2 よりもさらに外周の領域内にて、接続用配線により結線されている。この接続用配線の具体的な一例としては、ボンディング用パッド 3 1 1 とプローブ検査用パッド 2 1 1 とを配線 4 1 1 で、ボンディング用パッド 3 1 2 とプローブ検査用パッド 2 1 2 とを配線 4 1 2 で、ボンディング用パッド 3 1 3 とプローブ検査用パッド 2 1 3 とを配線 4 1 3 で（以下、同様）接続したものである。

【 0 0 3 6 】

かかる構成によって、上下の 2 辺に配置されたプローブ検査用パッド 2 1 1，2 1 2，2 1 3，……に検査用のプローブ針を当てて検査すれば、左右の 2 辺に配置されたボンディング用パッド 3 1 1 ～ 3 1 3 に直接プローブ針を当てて検査したものと等価となる。つまり、従来のように上下左右の 4 辺に存在する 2 4 個のボンディング用パッドを用いたプローブ検査と、本実施例のように上下の 2 辺に存在する 2 4 個のパッド（1 2 個のボンディング用パッドと 1 2 個のプローブ検査用パッド）を用いたプローブ検査とが、互いに等価なものとなる。

【 0 0 3 7 】

なお、図 1 に示した配線 4 1 1, 4 1 2, 4 1 3, ……は、上記のように回路の最外周部に設けられるべく限定されるものではなく、入出力バッファ領域 3、並びに内部論理領域 5 などの内部に設けられていても構わない。それらの具体例については、後掲の図 6, 図 9 等を用いて実施例の説明の中で述べる。また、ボンディング用パッドとプローブ検査用パッドの寸法は基本的には同じ大きさでよいが、プローブ検査用パッドは実際にはボンディングされないパッドなので、最小限プローブ針が当てられる程度までに小さくしても構わない。

【 0 0 3 8 】

図 2 に、本実施例の回路構成におけるプローブ検査時の上下 2 辺に設けられたパッド（ボンディング用パッド及びプローブ検査用パッド）への針当ての様子を示す。上述したように、図中上下の 2 辺に配置されたパッドに対してプローブ針を針当てすることで所要のプローブ検査ができる。つまり、半導体集積回路装置 1 の図中上下の 2 辺にあるパッド群（図では、上下各 1 2 本ずつの 2 群）に対し合計 2 4 本のプローブ針 8 を当てればよいのである。

【 0 0 3 9 】

図 3 に、本実施例の回路構成において同時複数個単位での回路のプローブ検査を行う場合の半導体ウエハ上での様子を示す。

【 0 0 4 0 】

半導体ウエハ 1 0 上には、パッド位置が一直線上に並ぶように半導体集積回路装置 1 が碁盤目状に形成されている。それぞれの半導体集積回路装置 1 においては、その 2 辺にパッドがあるため、図 3 に示すように、プローブ検査用パッドを横一列（一直線上）に配列することが可能である。そして、総数 1 9 2 本（1 2 本×4 列×4 個）のプローブ針 8 によって、一度に 8 個（4 個×2 段）の半導体集積回路装置 1 の同時複数個単位での検査を行うことができる。この場合、8 個の回路を同時に検査するため、1 / 8 の時間で 1 枚の半導体ウエハ 1 0 の検査を完了できる。

【 0 0 4 1 】

図 4 に、本実施例の回路構成においてのワイヤボンディングの様子を示す。図 4 は、ボンディング用パッドとパッケージのインナーリードとが、各半導体集積

回路装置 1 の 4 辺において、それぞれ 1 対 1 でボンディング接続される構成を示している。つまり、ボンディング用パッドは、元々 4 辺に存在するので、それらとインナーリードとを互いにボンディング接続すればよいのである。

【 0 0 4 2 】

このワイヤボンディングの具体的な一例として、図 4 に示すように、ボンディング用パッド 3 1 1 とインナーリード 7 1 1 とをボンディングワイヤ 6 1 1 で、ボンディング用パッド 3 1 2 とインナーリード 7 1 2 とをボンディングワイヤ 6 1 2 で、ボンディング用パッド 3 1 3 とインナーリード 7 1 3 とをボンディングワイヤ 6 1 3 で、ボンディング用パッド 3 1 4 とインナーリード 7 1 4 とをボンディングワイヤ 6 1 4 で、ボンディング用パッド 3 1 5 とインナーリード 7 1 5 とをボンディングワイヤ 6 1 5 で、ボンディング用パッド 3 1 6 とインナーリード 7 1 6 とをボンディングワイヤ 6 1 6 で、（以下、同様）それぞれ接続する。なお、プローブ検査用パッド 2 1 1 ～ 2 1 3 にはワイヤボンディングをしない。

【 0 0 4 3 】

以上に記載のように、本実施例においては、プローブ検査用パッドを対向する 2 辺に追加配置して、それ以外の辺のボンディング用パッドから接続用配線を延ばして対応するパッド間を接続したことにより、上記の対向する 2 辺のみへのプローブ針の針当てによって、所要のプローブ検査が可能となる。このため、プローブカードを容易かつ安価に製作でき、同時複数個単位での検査も可能となり、プローブ検査が 1 / 8 の時間で行えるようになった。さらには、従来のように、各回路の 4 辺においてのワイヤボンディングが可能であるため、パッケージング等の後工程には何らの支障をも与えない。

【 0 0 4 4 】

次に、本実施例において各回路の左右 2 辺に設けられたボンディング用パッドと各回路の上下 2 辺に設けられた対応するプローブ検査用パッドとの間の配線の形態例について、図 5 ～ 図 8 を用いて説明する。

【 0 0 4 5 】

なお、これら図 5 ～ 図 8 に示す配線形態例は、後述する第 2 の実施例（実施例 2）においてプローブ検査用パッドを各回路の上側 1 辺のみに配置した場合（図

9～図11)についても組み合わせて適用できるものであり、本発明はそのような組み合わせ適用例をも含むものであることは言うまでもない。

【0046】

先ず、本実施例における等長配線の一構成例を示す。図5に、ボンディング用パッドとプローブ検査用パッド間を等しい長さの配線で結線する場合の具体的な一例を示す。図5の具体例では、ボンディング用パッド313とプローブ検査用パッド211間を配線451で、ボンディング用パッド312とプローブ検査用パッド212間を配線452で、ボンディング用パッド311とプローブ検査用パッド213間を配線453で、それぞれ等しい長さで接続している。

【0047】

図5に示すような等長配線構造とすることにより、各配線間での電気的な特性バラツキ（例えば、配線容量、配線抵抗等）を小さくできる効果がある。

【0048】

次に、ボンディング用パッドとプローブ検査用パッド間を接続する配線をスクライブ領域内に設けた一例を示す。

【0049】

図6は、ボンディング用パッドとプローブ検査用パッドとの間を接続する配線をスクライブ領域11x、11y内に設けた場合を示している。すなわち、ボンディング用パッドとプローブ検査用パッドとは双方とも半導体集積回路装置1内に設けられているが、その間の接続用配線のみがスクライブ領域11x、11y内に配置されている場合である。図6に示す具体的では、ボンディング用パッド311とプローブ検査用パッド211間を配線461で、ボンディング用パッド312とプローブ検査用パッド212間を配線462で、ボンディング用パッド313とプローブ検査用パッド213間を配線463でそれぞれ接続している。

【0050】

本構成例によれば、プローブ検査が終了した後は、スクライブ領域11x、11yにおいて各半導体集積回路装置1間を切断することにより、プローブ検査用パッドとボンディング用パッド間を接続していた配線を半導体集積回路装置1から取り除くことができる。

【 0 0 5 1 】

次に、ボンディング用パッドとプローブ検査用パッドとの間を接続する配線をスクライブ領域内に設けた場合の他の一構成例と、当該構成例とした場合におけるプローブ検査に際してのプローブ針の針当ての様子について説明する。

【 0 0 5 2 】

図 7 に、上下 2 辺に配置されたプローブ検査用パッドとそれらのプローブ検査用パッドと左右 2 辺に配置されたボンディング用パッドとの間を接続する配線との双方をスクライブ領域内に配置した場合を示す。なお、図では、プローブ検査用パッドがボンディング用パッドと上下で重ならないようにするために、プローブ検査用パッドをボンディング用パッドに対して千鳥状配置となるように設けてある。パッド間の配線の具体的な一例としては、ボンディング用パッド 3 1 1 とプローブ検査用パッド 2 1 1 間を配線 4 7 1 で、ボンディング用パッド 3 1 2 とプローブ検査用パッド 2 1 2 間を配線 4 7 2 で、ボンディング用パッド 3 1 3 とプローブ検査用パッド 2 1 3 間を配線 4 7 3 で、それぞれ接続している。

【 0 0 5 3 】

上述のように、プローブ検査用パッドとボンディング用パッドとを互いに千鳥状位置に配置しているため、プローブ針 8 がお互いに衝突し合うことなく、容易に針当て操作を行える。その様子を図 8 に示す。

【 0 0 5 4 】

以上のような構成によれば、プローブ検査が終了した後に、スクライブ領域において各半導体集積回路装置 1 間を切り離した際、プローブ検査用パッドと当該プローブ検査用パッドを対応するボンディング用パッドに接続するための配線を半導体集積回路装置 1 から取り除くことができる。

【 0 0 5 5 】

(実施例 2)

次に、プローブ検査用パッドを半導体集積回路装置の 1 辺に配置した場合の一実施例について、図 9 ～ 図 1 1 を用いて説明する。

【 0 0 5 6 】

図 9 に、本実施例における、プローブ検査用パッドを 1 辺化した場合のパッド

間配線の様子を示す。

【 0 0 5 7 】

図 9 に示す半導体集積回路装置 1 においては、パッド領域 2 内に、ボンディング用パッド（図中、口印で表記、各辺に 6 個ずつある）とプローブ検査用パッド（図中、口印中に×印を挿入して表記、上辺のみに 6 個ある）とが配置されている。特徴的な点は、プローブ検査用パッドが回路の 1 辺（図中、上側の辺）のみに配置されている点であり、プローブ検査時には、この回路上辺側に配置された合計 12 個のパッド（ボンディング用パッド 6 個とプローブ検査用パッド 6 個）に合計 12 本の検査用プローブ針をそれぞれ針当てして検査がなされる。また、回路上側の 1 辺に配置されたプローブ検査用パッドとそれ以外の辺に配置されたボンディング用パッドとの間の配線は、パッド領域 2 の外側のみならず、入出力バッファ領域 3、内部論理領域 5 などの内側をも経由して設けられている。図 9 には、このパッド間配線の具体的な一例として、ボンディング用パッド 3 1 2 とプローブ検査用パッド 2 1 2 間を配線 4 9 2 で、ボンディング用パッド 3 1 3 とプローブ検査用パッド 2 1 1 間を配線 4 9 1 で、ボンディング用パッド 3 2 4 とプローブ検査用パッド 2 1 3 間を配線 4 9 3 で、パッド領域 2 の外側の領域内でそれぞれ接続し、ボンディング用パッド 3 2 5 とプローブ検査用パッド 2 2 5 間を配線 4 9 5 でもって、パッド領域 2 の内側の領域を経由して接続した場合を示してある。かかる構成によって、回路の上側 1 辺上に配置されたプローブ検査用パッド 2 1 2， 2 1 1， 2 1 3， 2 2 5， … に検査用のプローブ針を当てて検査すれば、回路の他の 3 辺上に配置されたボンディング用パッド 3 1 2， 3 1 3， 3 2 4， 3 2 5， … に直接プローブ針を当てて検査したことと等価となる。

【 0 0 5 8 】

図 10 に、本実施例の回路構成において、回路上側 1 辺上に配置された 12 個のパッド（ボンディング用パッド 6 個とプローブ検査用パッド 6 個）に 12 本の検査用プローブ針 8 を針当てして検査する場合の様子を示す。

【 0 0 5 9 】

このように、半導体集積回路装置 1 の 1 辺（図中の上辺）に 12 本のプローブ針 8 を針当てすることにより、所要のプローブ検査ができる。前述したように、

6本のプローブ針がボンディング用パッドに、残り6本のプローブ針がプローブ検査用パッドにそれぞれ針当てされる。

【0060】

上述のように、本実施例の回路構成によれば、半導体集積回路装置1の図中の上辺にあるパッド群にプローブ針8を当てることによって、当該半導体集積回路装置1のプローブ検査が可能である。

【0061】

図11に、本実施例の回路構成におけるプローブ検査時の半導体ウエハ上での同時複数個単位での回路のプローブ検査時の様子を示す。

【0062】

半導体ウエハ10上には、パッド位置が一直線上に並ぶように半導体集積回路装置1が形成されている。この半導体集積回路装置1においては、回路の1辺側にのみプローブ検査用パッドがあるため、図11に示すように、プローブ針8を横一列（一直線上）に4段で配列することが可能である。そして、総数192本（12本×4列×4個）のプローブ針8により、一度に16個（4個×4段）の半導体集積回路装置1の同時複数個単位での検査を行うことができる。従って、この場合には、16個の回路1を同時検査するため、従来の1/16の時間で、1枚の半導体ウエハ10上の全ての回路のプローブ検査を完了できる。

【0063】

次に、本実施例において各回路の左右2辺と下側1辺とに設けられたボンディング用パッドと各回路の上側1辺に設けられた対応するプローブ検査用パッドとの間の配線の形態例について、図12～図15を用いて説明する。

【0064】

なお、これら図12～図15に示す配線形態例は、前述の第1の実施例（実施例1）におけるプローブ検査用パッドを各回路の上下2辺に配置した場合（図1～図4）についても組み合わせて適用できるものであり、本発明はそのような組み合わせ適用例をも含むものであることは言うまでもない。

【0065】

先ず、図12に、本実施例の回路構成において、プローブ検査用パッドとそれ

に対応するプローブ検査用パッドとの間を結ぶ配線（信号線）をスクライプ領域に配置する場合のフォトマスクと T E G との様子を示す。一般に、半導体ウエハ上には、半導体集積回路装置 1 の品質評価等を目的に T E G と云うモニタ用素子 1 2 が使用されている。図 1 2 では、各半導体集積回路装置間のスクライプ領域 1 1 x、1 1 y 内にこの T E G 1 2 が配置されている。

【 0 0 6 6 】

上述したように、ボンディング用パッドとプローブ検査用パッド間を接続する配線がスクライプ領域にある場合には、この T E G の設置領域を考慮しなければならないが、T E G が上層の配線層に至らないゲート素子のような場合は、その T E G の上層に配線をしてレイアウト的に衝突回避できるので問題はない。

【 0 0 6 7 】

また、フォトマスク 1 3 においては、半導体集積回路装置 1 とスクライプ領域 1 1 x、1 1 y 内に配置した配線と T E G 1 2 とを、例えば図 1 2 に示すようにフォトマスク境界 1 3 の単位で一組又は複数組にすることで、製造効率を高めることができる。

【 0 0 6 8 】

次に、図 1 3、図 1 4 に、本実施例の回路構成を基に、ボンディング用パッドからプローブ検査用パッドまで延長した配線（信号線）間に G N D 線を、または配線（信号線）層間に G N D 層を挿入配置した例を示す。

【 0 0 6 9 】

図 1 3 は配線部分の上面図で、各配線（信号線）4 1 1、4 1 2、4 1 3 間に配線（G N D 線）4 1 1 g、4 1 2 g、4 1 3 g が挿入配置されている。かかる構成により、配線（信号線）間で起こり得る障害（例えば、クロストーク等）を防止することができる。

【 0 0 7 0 】

図 1 4 は配線部分の断面図で、配線層が 3 層ある場合の配線例である。図 1 4 の（a）は配線（信号線）間に配線（G N D 線）が挿入配置される場合、図 1 4 の（b）は配線（信号線）間に配線（G N D 線）が挿入配置されかつ配線層毎に交互にずれている場合、図 1 4 の（c）は配線（信号線）層間に G N D 層が挿入

配置される場合、図 1 4 の (d) は配線 (信号線) 層の上, 下に GND 層が挿入配置される場合を示している。かかる構成により、図 1 3 の場合と同様に、配線 (信号線) 間で起こり得る障害 (例えば、クロストーク等) を防止できる効果が得られる。

【 0 0 7 1 】

次に、図 1 5 に、本実施例の回路構成において、プローブ検査用パッドの近傍に静電破壊防止素子を挿入配置した例を示す。なお、本図では、入出力バッファ 4 の一例として、入力素子のみを表記してある。

【 0 0 7 2 】

半導体集積回路装置 1 中の入出力バッファ 4 は、入力素子 4 0 と静電破壊防止素子 4 a とで構成されている。静電破壊防止素子 4 a は、静電気等による高電圧が入力素子 4 0 に印可されて該素子が破壊されるのを防止するために、電源又は GND にバイパスする素子であり、例えばダイオード等が用いられる。

【 0 0 7 3 】

入力バッファ 4 は、ボンディング用パッド 3 0 0 に接続され、さらにボンディングワイヤ 6 を介してパッケージのインナーリード 7 に接続されている。また、ボンディング用パッド 3 0 0 は配線 4 0 0 を介してプローブ検査用パッド 2 0 0 に接続されている。本例では、静電気等による高電圧の影響を抑えるため、プローブ検査用パッド 2 0 0 の近傍にも静電破壊防止素子 4 b が配置されている。

(実施例 3)

第 3 の実施の形態は、同時に複数個単位のプローブ検査を容易化するために、半導体集積回路装置の対向する 2 辺にボンディング用パッドを配置する。この場合は、第 1 または第 2 の実施の形態と異なり、プローブ検査用パッドを設ける必要はなくなる。しかしながら、パッドにあわせてパッケージのリードを 2 辺に配置するとパッケージ全体の大きさはかえって大きくなるおそれがある。また、4 辺にリードが配置されるパッケージとの互換性が失われる。そのため、そのパッドが 2 辺に配置される半導体集積回路装置であっても、4 辺にリードが配置されるパッケージ (例えば、QFP (Quad Flat Package), TQFP (Thin Quad Flat Package), QFN (Quad Flat High Package) 等) への実装を可能とすることが

望ましい。本実施例においては、4 辺にリードが配置される形状のパッケージに対しても、2 辺にボンディング用パッドが配置された半導体集積回路装置の実装を可能とするための、ボンディング用パッドとインナーリードとの間の接続方法を詳述する。

【0074】

現在の技術で実現可能な隣接するインナーリード間の最短距離を x 、現在の技術で実現可能な隣接するボンディング用パッド間の最短距離を y とすれば、 $x > y$ の関係にある。例えば、 y はボンダーの位置あわせ精度等により制約されるが約 $80 \mu\text{m}$ まで小さくすることが可能であるのに対し、 x はリードフレームの加工精度等により制約され、約 $180 \mu\text{m}$ である。そのため、従来ではボンディング用パッドの間隔をインナーリードの間隔に合わせていた。このため、ボンディング用パッドの間隔及びピン数がパッケージ及びチップの大きさを決定し、半導体集積回路の微細化技術によるチップサイズの縮小を制約するおそれもあった。

【0075】

先ず、半導体集積回路装置のパッケージ実装の第1の構成例を図21～図23に示す。

【0076】

パッケージ1100は、半導体集積回路装置1200、その半導体集積回路装置1200を支えるためのタブ1540、そのタブ1540を支えるためのタブ吊りリード1530、タブ1540と半導体集積回路装置1200を電気的に絶縁するための絶縁体1300と、パッケージの外側に複数配置されるアウトリード1510、1511、パッケージの内側に複数配置されるインナーリード1520、1521、そのインナーリードと半導体集積回路装置上のボンディング用パッドをそれぞれ接続するためのボンディングワイヤ1400から構成される（図22には、半導体集積回路装置1200、絶縁体1300、ボンディングワイヤ1400を除いた状態を示す）。

【0077】

半導体集積回路装置1200は、対向する2辺（図では左右の2辺）にボンディング用パッドが設けられ、残りの2辺（図では上下の2辺）には設けられてい

ない。また、パッケージ 1 1 0 0 は 4 辺にリードが配置される一般に Q F P と呼ばれるパッケージである。一般に、半導体集積回路装置の 2 辺にボンディング用パッドがありパッケージのリードが 4 辺に有る場合は、それらを接続するとボンディングワイヤ同士が接触してしまう危険性がある。

【 0 0 7 8 】

そのため、本実施例においては、パッケージ 1 1 0 0 の上下の辺のアウタリードから延びたインナーリードはパッケージ中央部の半導体集積回路装置 1 2 0 0 の下部にて 9 0 度（図では 4 5 度が 2 箇所）方向を変えて左右から出したリードフレーム構造としたものである。それにより、例えば、パッケージ 1 1 0 0 の右辺のアウタリード 1 5 1 1 から延びたインナーリード 1 5 2 1 は半導体集積回路装置 1 2 0 0 の右辺にあるボンディング用パッドと、パッケージ 1 1 0 0 の下辺のアウタリード 1 5 1 0 から延びて 9 0 度右に方向を変えたインナーリード 1 5 2 0 は半導体集積回路装置 1 2 0 0 の同じく右辺にあるボンディング用パッドとを各々ボンディングすることが可能となるのである。

【 0 0 7 9 】

さらに、本実施例では、インナーリード 1 5 2 0 の端部とインナーリード 1 5 2 1 の端部を互いに向かい合わせて千鳥状の配置とした。上述のように、インナーリードの最小間隔よりもボンディング用パッドの最小間隔が短いため、千鳥状に配置することによってインナーリードの間隔を約半分にすることを可能としたものである。

【 0 0 8 0 】

また、複数のインナーリードは、半導体集積回路装置 1 2 0 0 の下部に位置することから、機械的には半導体集積回路装置 1 2 0 0 を支えるタブとしての機能をも担っている。電氣的には絶縁体 1 3 0 0 によって完全に絶縁されている。

【 0 0 8 1 】

なお、図 2 1 の例ではインナーリードが千鳥状に配置されるのにあわせて、半導体集積回路のボンディング用パッドも千鳥状に配置している。これによって、各ボンディングワイヤ 1 4 0 0 をほぼ等長にできるという利点がある。

【 0 0 8 2 】

図 2 3 に、リードフレームの他の構成例を示す。パッケージ 1 1 0 0 a の下辺からのアウトリード 1 5 1 0 a から延びたインナーリード 1 5 2 0 a は中央部まで引き延ばしてから 9 0 度方向を変える構造にしたものである。これにより、インナーリード 1 5 2 0 a は機械的にはタブの機能をも担う。また、電気的には、図 2 1 の構成と同様に半導体集積回路装置との間に絶縁体を挟むことによって半導体集積回路装置と完全に絶縁されるものである。

【 0 0 8 3 】

上述のように、本実施の形態に示すリードフレームは、4 辺にリードが存在するパッケージに対して、対向する 2 辺にボンディング用パッドを配置した半導体集積回路装置を実装することを可能としたものである。

【 0 0 8 4 】

さらに、半導体集積回路装置は対向する 2 辺にのみボンディング用パッドを配置したことによって、残りの 2 辺にはボンディング用パッドが存在しなくなるため、I/O バッファも配置することが無い。従って、その I/O バッファの領域分の面積が減るため半導体集積回路装置を小型化する効果がある。

【 0 0 8 5 】

次に、半導体集積回路装置のパッケージ実装の第 2 の構成例を図 2 4 ～図 2 5 に示す。

【 0 0 8 6 】

パッケージ 1 1 0 2 は、半導体集積回路装置 1 2 0 2、その半導体集積回路装置 1 2 0 2 を支えるためのタブ 1 5 4 2、そのタブ 1 5 4 2 を支えるためのタブ吊りリード 1 5 3 2、タブ 1 5 4 2 と半導体集積回路装置 1 2 0 2 を電気的に絶縁するための絶縁体 1 3 0 2 と、パッケージの外側に複数配置されるアウトリード 1 5 1 4、1 5 1 5、パッケージの内側に複数配置されるインナーリード 1 5 2 4、1 5 2 5、そのインナーリードと半導体集積回路装置上のボンディング用パッドをそれぞれ接続するためのボンディングワイヤ 1 4 0 2 から構成されている（図 2 5 には、半導体集積回路装置 1 2 0 2、絶縁体 1 3 0 2、ボンディングワイヤ 1 4 0 2 を除いた状態を示す）。

【 0 0 8 7 】

第2の構成例においては、パッケージ1102に対して半導体集積回路装置1202を45度傾けて実装する構造としたものである。半導体集積回路装置1202は、対向する2辺（図では左斜め上、右斜め下の2辺）にのみボンディング用パッドが存在し、残りの2辺（図では右斜め上、左斜め下の2辺）には無い。これにより、リードフレームは図に示すような簡単な構造にすることが可能となり、半導体集積回路装置のボンディング用パッドとボンディングワイヤで繋ぐことができるのである。

【0088】

具体的には、パッケージ1102の右辺のアウタリード1514から延びたインナーリード1524と半導体集積回路装置の右斜め下の辺のボンディング用パッドとを繋ぐボンディングワイヤ、及びパッケージ1102の右辺のアウタリード1515から延びたインナーリード1525と半導体集積回路装置の右斜め下の辺のボンディング用パッドとを繋ぐボンディングワイヤが接触することなく配線可能としている。ボンディングワイヤの接触を防止するためには、半導体集積回路装置のボンディング用パッドを千鳥状に配置することが望ましい。

【0089】

また、図では45度に傾けた例を示したが、パッケージの辺の延長と半導体集積回路装置の辺とが有意な角度で交わるように配置すればよく、この有意な角度は45度には限られない。

【0090】

次に、半導体集積回路装置のパッケージ実装の第3の構成例を図25～図26に示す。

【0091】

パッケージ1103は、半導体集積回路装置1203、その半導体集積回路装置1203を支えるためのタブ1543、そのタブ1543を支えるためのタブ吊りリード1533、タブ1543と半導体集積回路装置1203を電氣的に絶縁するための絶縁体1303と、パッケージの外側に複数配置されるアウタリード1516、1517、1518、パッケージの内側に複数配置されるインナーリード1526、1527、1528、そのインナーリードと半導体集積回路装

置上のボンディング用パッドをそれぞれ接続するためのボンディングワイヤ 1 4 0 3 から構成されている（図 2 6 には、半導体集積回路装置 1 2 0 3、絶縁体 1 3 0 3、ボンディングワイヤ 1 4 0 3 を除いた状態を示す）。

【0092】

半導体集積回路装置 1 2 0 3 は、ボンディング用パッドを配置した 2 辺を他の 2 辺よりも長い長方形としたものである。半導体集積回路装置 1 2 0 3 は、対向する 2 辺（図では左右の 2 辺）にボンディング用パッドを設け、残りの 2 辺（図では上下の 2 辺）には設けない。また、左右の 2 辺では、中央部はボンディング用パッドが一行で、上端側、及び下端側では 2 列の千鳥状に配置したものである。

【0093】

具体的には、パッケージ 1 1 0 3 の右側のアウトリード 1 5 1 6 から延びたインナーリード 1 5 2 6 と半導体集積回路装置 1 2 0 3 の右辺中央部のボンディング用パッドと、パッケージ 1 1 0 3 の下側のアウトリード 1 5 1 7 から延びたインナーリード 1 5 2 7 と半導体集積回路装置 1 2 0 3 の右辺の下端のボンディング用パッドと、さらにはパッケージ 1 1 0 3 の下側のアウトリード 1 5 1 8 から延びて 9 0 度右に方向を変えたインナーリード 1 5 2 8 は半導体集積回路装置 1 2 0 3 の右辺の下端にあるボンディング用パッドとを各々ボンディングされている。

【0094】

以上の実施の形態に示したリードフレームによれば、対向する 2 辺にボンディング用パッドを配置した半導体集積回路装置は、4 辺にリードが配置される一般に Q F P と呼ばれる形状のパッケージに実装可能である。つまり、従来のように半導体集積回路装置の 4 辺にボンディング用パッドを配置する必要はない。従って、半導体集積回路装置の 2 辺にボンディング用パッドを配置することによって、プローブ検査を容易化できるという効果がある。

【0095】

【発明の効果】

本発明によれば、ボンディング用パッドとプローブ検査用パッドとを配置した

半導体集積回路装置において、プローブ検査用パッドは回路の 1 辺又は対向する 2 辺に配置して、このプローブ検査用パッドを配置した上記の 1 辺又は 2 辺以外の辺の所望のボンディング用パッドから接続用の配線を延長して、該ボンディング用パッドを上記プローブ検査用パッドに接続した構成によって、プローブ検査に際してプローブ針を当てるべき位置を上記回路の上記 1 辺又は対向する 2 辺に集約でき、また、上記の 1 辺又は対向する 2 辺が同一線上または並行になる配置で半導体ウエハ上に配列したため、同一のプローブカード上に複数の半導体集積回路装置にプローブ針を当てるための構造を容易に形成できるので、同時複数個単位での回路のプローブ検査が容易に実現できる。

【 0 0 9 6 】

回路の 2 辺で検査する場合、例えば、同時検査回路数が 8 個の時には、半導体ウエハ 1 枚当たりのプローブ検査時間を従来の $1/8$ に短縮でき、また、回路の 1 辺で検査をする場合には、例えば、同時検査回路数が 16 個の時には、半導体ウエハ 1 枚当たりのプローブ検査時間を従来の $1/16$ に短縮できるため、検査にかかるコストを大幅に低減できると云う効果がある。

【 0 0 9 7 】

また、本発明の半導体集積回路装置において、上記のプローブ検査用パッドを配置した回路の 1 辺又は対向する 2 辺まで他の辺のボンディング用パッドからの接続用配線を延長する時、当該接続用配線は上記ボンディング用パッドの外側と上記プローブ検査用パッドの外側とを通る配線経路とすることによって、入出力バッファ領域や内部論理領域へのレイアウト的な影響を与えることなくして配線することができる。一方、ボンディング用パッドの内側とプローブ検査用パッドの内側を通る配線経路とした場合には、対向する辺までへの配線長を短くできると云う効果が得られる。

【 0 0 9 8 】

また、本発明の半導体集積回路装置において、上記のプローブ検査用パッドを配置した回路の 1 辺又は対向する 2 辺まで他の辺のボンディング用パッドからの接続用配線を延長する時、当該接続用配線を互いに等しい長さに設定することによって、当該配線間での電気的な特性のバラツキを小さくできると云う効果が得

られる。

【 0 0 9 9 】

また、本発明の半導体集積回路装置において、回路の 1 辺又は対向する 2 辺にボンディング用パッドとプローブ検査用パッドとが併設される時、上記プローブ検査用パッドと上記の接続用配線をスクライブ領域内に配置し、また、上記プローブ検査用パッドを上記ボンディング用パッドと互いに同列又は千鳥状配列関係となるように配置して、プローブ検査終了後に上記のスクライブ領域で回路間が切断された時に、上記プローブ検査用パッドと上記接続用配線とが回路から取り除かれるようにすることによって、切断（スクライブ）後の半導体集積回路装置中には上記プローブ検査用パッドと上記接続用配線とが残らないので、後工程における選別検査での電氣的な特性測定には何ら影響を与えることがなくなると云う効果も得られる。

【 0 1 0 0 】

また、本発明の半導体集積回路装置において、上記のプローブ検査用パッドとそれに対応するボンディング用パッド間を結ぶ上記接続用配線を単一又は複数の配線層内に設けて、当該配線間又は当該配線層間に G N D 線又は G N D 層を挿入配置することによって、隣り合う配線同士間で起こりうる障害（例えば、クロストーク等）を抑止する効果が得られる。

【 0 1 0 1 】

さらには、本発明の半導体集積回路装置において、上記プローブ検査用パッドを配置した回路の 1 辺又は対向する 2 辺までボンディング用パッドからの接続用配線が延長される時、当該プローブ検査用パッドの近傍には静電破壊防止のための素子を配置することによって、上記ボンディング用パッド側の入出力バッファに備えられた静電破壊防止素子と併せて、静電気等により発生する高電圧による入出力バッファを含めた内部回路の破壊を防止できると云う効果が得られる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例になる半導体集積回路装置におけるプローブ検査用パッドとその接続用配線との配置関係を示す図である。

【図 2】

本発明の第 1 の実施例になる半導体集積回路装置におけるプローブ検査時の回路の上下 2 辺に配置されたプローブ検査用パッドとボンディング用パッドとに対するプローブ針の針当ての様子を示す図である。

【図 3】

本発明の第 1 の実施例になる半導体集積回路装置における同時複数個単位での回路のプローブ検査時の半導体ウエハ上でのプローブ針の針当ての様子を示す図である。

【図 4】

本発明の第 1 の実施例になる半導体集積回路装置におけるワイヤボンディングの様子を示す図である。

【図 5】

本発明の第 1 の実施例になる半導体集積回路装置において、プローブ検査用パッドとボンディング用パッドとの間を結ぶ接続用配線を等長配線化した場合の一構成例を示す図である。

【図 6】

本発明の第 1 の実施例になる半導体集積回路装置において、パッド間の接続用配線をスクライプ領域内に設けた場合の一構成例を示す図である。

【図 7】

本発明の第 1 の実施例になる半導体集積回路装置において、プローブ検査用パッドとパッド間接続用配線とをスクライプ領域内に配置した場合の一構成例を示す図である。

【図 8】

本発明の第 1 の実施例になる半導体集積回路装置において、プローブ検査用パッドとパッド間接続用配線とをスクライプ領域内に配置した場合におけるプローブ検査に際してのプローブ針の針当ての様子を示す図である。

【図 9】

本発明の第 2 の実施例になる半導体集積回路装置におけるプローブ検査用パッドとその接続用配線との配置関係を示す図である。

【図 1 0】

本発明の第 2 の実施例になる半導体集積回路装置におけるプローブ検査時の回路の上側 1 辺に配置されたプローブ検査用パッドとボンディング用パッドとに対するプローブ針の針当ての様子を示す図である

【図 1 1】

本発明の実施の形態におけるプローブ検査時の半導体ウエハでの同時複数個単位での検査時の様子を示す図である。

【図 1 2】

本発明の第 2 の実施例になる半導体集積回路装置において、スクライプ領域内にパッド間接続用配線を設けた場合のフォトマスクと T E G との様子を示す図である。

【図 1 3】

本発明の第 2 の実施例になる半導体集積回路装置において、パッド間接続用配線（信号線）間に G N D 線を挿入配置した場合の一構成例を示す図である。

【図 1 4】

本発明の第 2 の実施例になる半導体集積回路装置において、パッド間接続用配線層（信号線層）間に G N D 線層を挿入配置した場合の一構成例を示す図である。

【図 1 5】

本発明の第 2 の実施例になる半導体集積回路装置において、プローブ検査用パッドの近傍に静電破壊防止素子を挿入配置した場合の一構成例を示す図である。した例を示す図である。

【図 1 6】

従来構成の半導体集積回路装置におけるボンディング用パッドの配置関係を示す図である。

【図 1 7】

従来構成の半導体集積回路装置におけるプローブ検査時のボンディング用パッドへのプローブ針の針当ての様子状態を示す図である。

【図 1 8】

従来構成の半導体集積回路装置におけるワイヤボンディングの様子を示す図であ

る。

【図 1 9】

従来構成の半導体集積回路装置におけるプローブ検査時のプローブカードとプローブ針との配置関係を示す図である。

【図 2 0】

従来構成の半導体集積回路装置において、同時複数個単位での回路のプローブ検査を行う場合のプローブカードとプローブ針との配置関係を示す図である。

【図 2 1】

図 2 1 (a) は、第 3 の実施例（第 1 の構成例）になるパッケージを説明するための図（上面図）であり、図 2 1 (b) は、第 3 の実施例（第 1 の構成例）になるパッケージを説明するための図（断面図）である。

【図 2 2】

第 3 の実施例（第 1 の構成例）になるパッケージを説明するための図（上面図）である。

【図 2 3】

第 3 の実施例（第 1 の構成例）になるパッケージの変形例を説明するための図である。

【図 2 4】

第 3 の実施例（第 2 の構成例）になるパッケージを説明するための図である。

【図 2 5】

第 3 の実施例（第 2 の構成例）になるパッケージを説明するための図である。

【図 2 6】

第 3 の実施例（第 3 の構成例）になるパッケージを説明するための図である。

【図 2 7】

第 3 の実施例（第 3 の構成例）になるパッケージを説明するための図である。

【符号の説明】

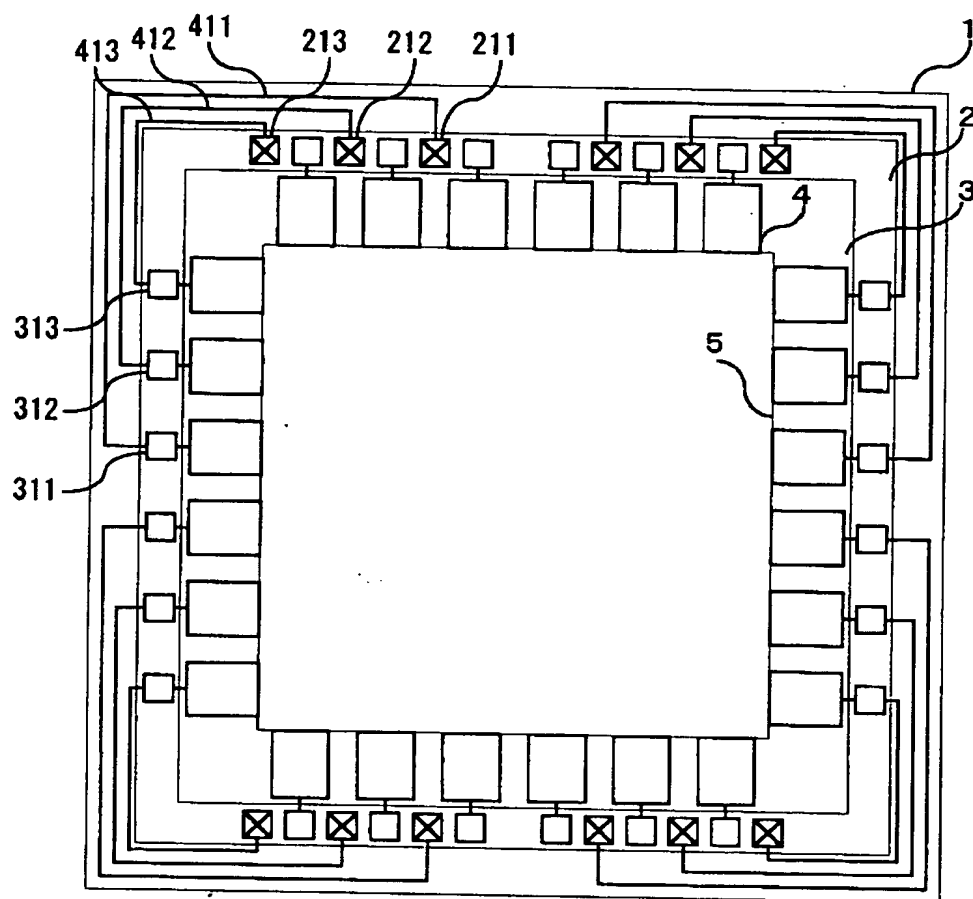
- 1 … 半導体集積回路装置（チップ）、
- 2 … パッド領域、
- 3 … 入出力バッファ領域、

4 …入出力バッファ、
4 a、4 b …静電破壊防止素子、
5 …内部論理領域、
6、6 1 1、6 1 2、6 1 3、6 1 4、6 1 5、6 1 6 …ボンディングワイヤ、
7、7 1 1、7 1 2、7 1 3、7 1 4、7 1 5、7 1 6 …インナーリード、
8 …プローブ針、
9 …パッド、
1 0 …半導体ウエハ、
1 1 x、1 1 y …スクライブ領域、
1 2 …T E G、
1 3 …フォトマスク境界、
1 9 a、1 9 b、2 0 a、2 0 b、2 0 c …プローブカード、
4 0 …入力素子、
2 0 0、2 1 1、2 1 2、2 1 3、2 2 5 …プローブ検査用パッド、
3 0 0、3 1 1、3 1 2、3 1 3、3 1 4、3 1 5、3 1 6、3 2 4、3 2 5 …
ボンディング用パッド、
4 0 0、4 1 1、4 1 2、4 1 3、4 5 1、4 5 2、4 5 3、4 6 1、4 6 2、
4 6 3、4 7 1、4 7 2、4 7 3、4 9 1、4 9 2、4 9 3、4 9 5 …パッド間
接続用配線（信号線）、
4 1 1 g、4 1 2 g、4 1 3 g …配線（G N D線）。

【書類名】 図面

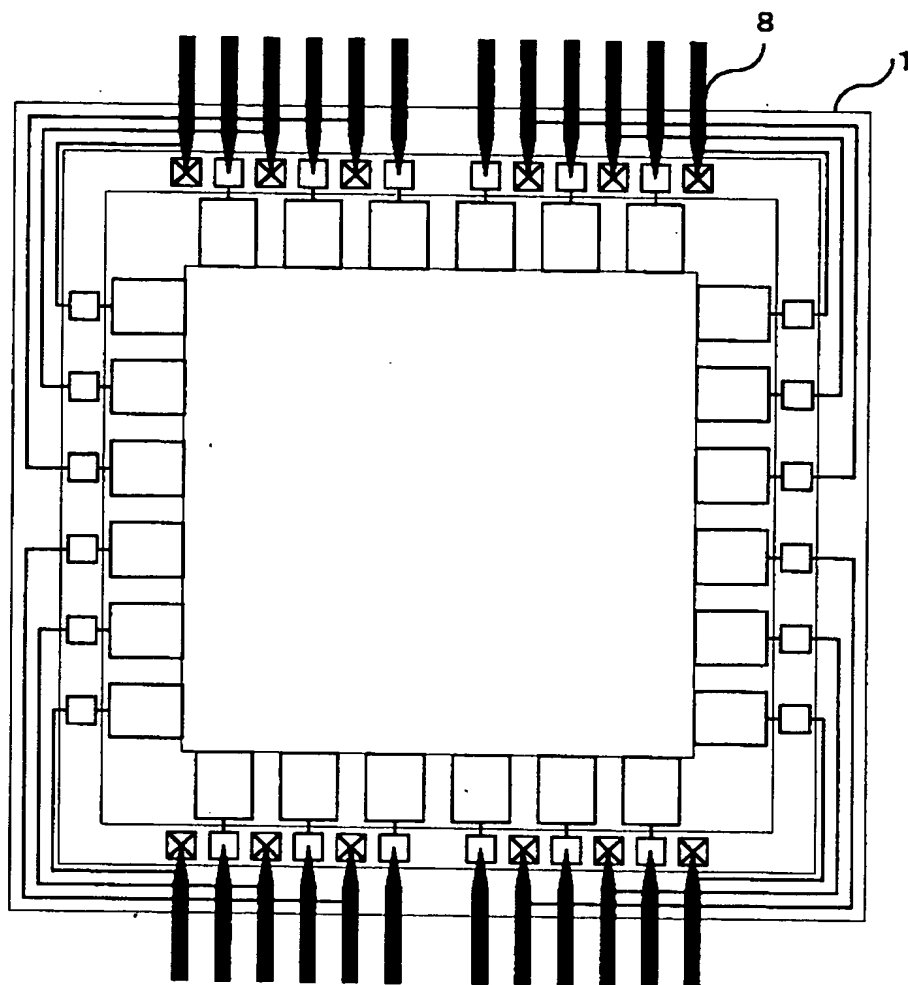
【図 1】

図 1

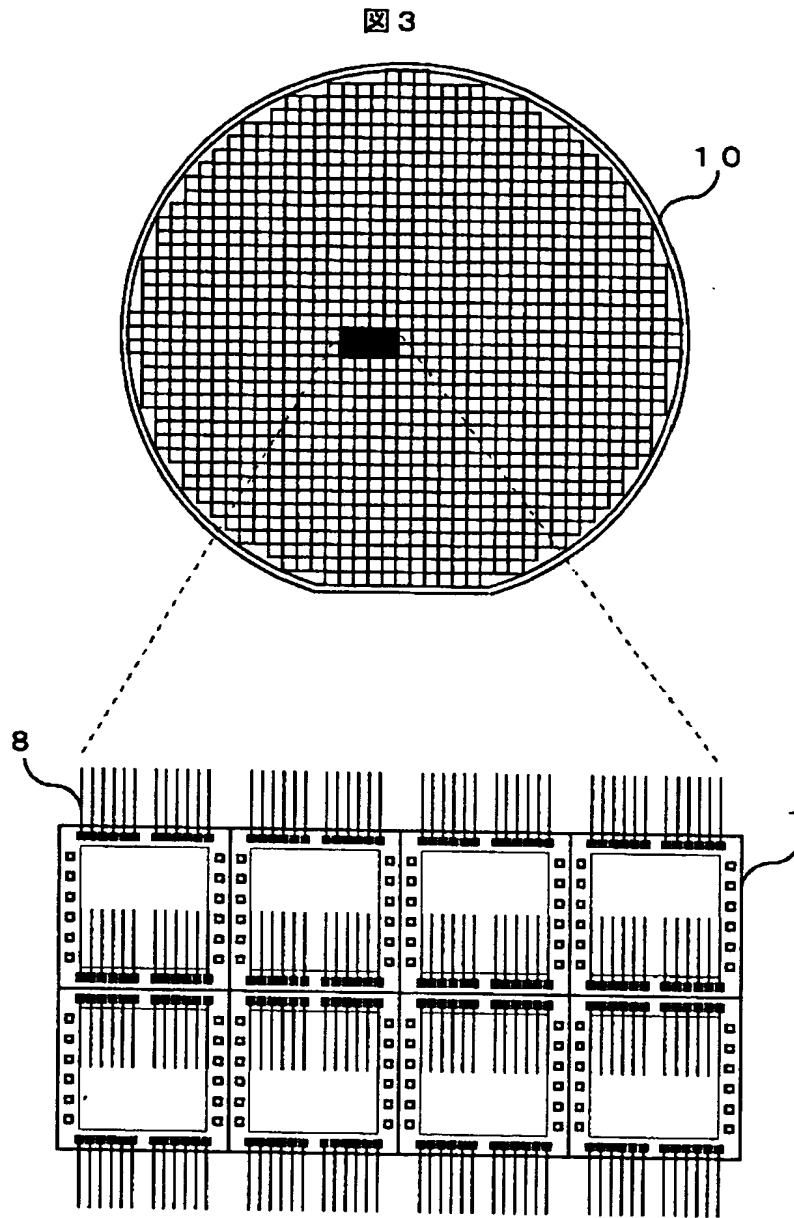


【図 2】

図 2

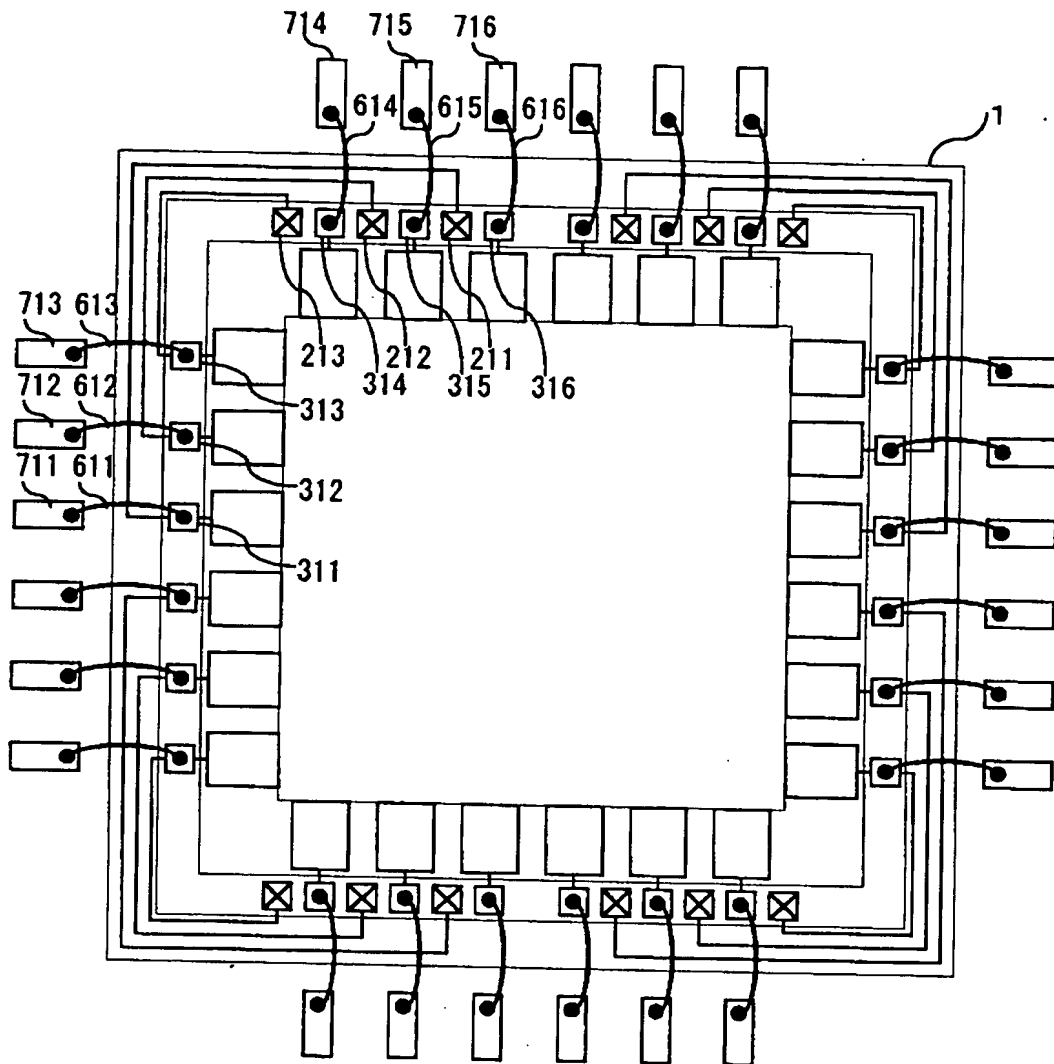


【図 3】



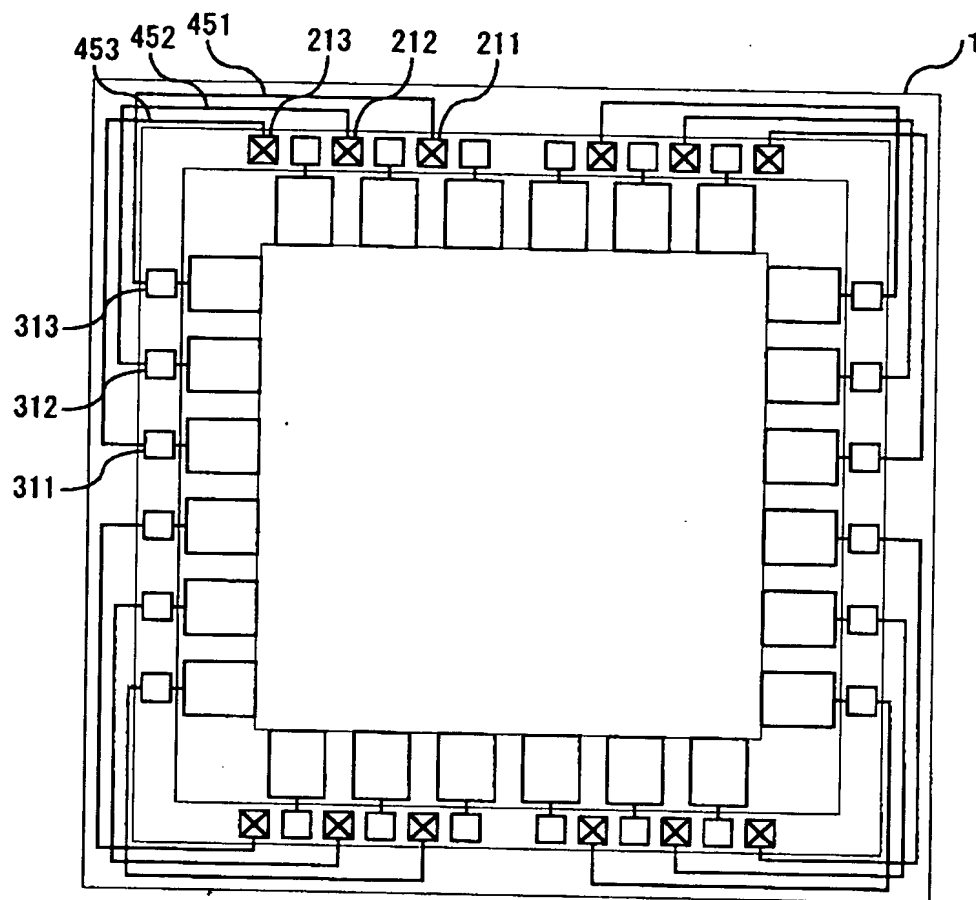
【図 4】

図 4



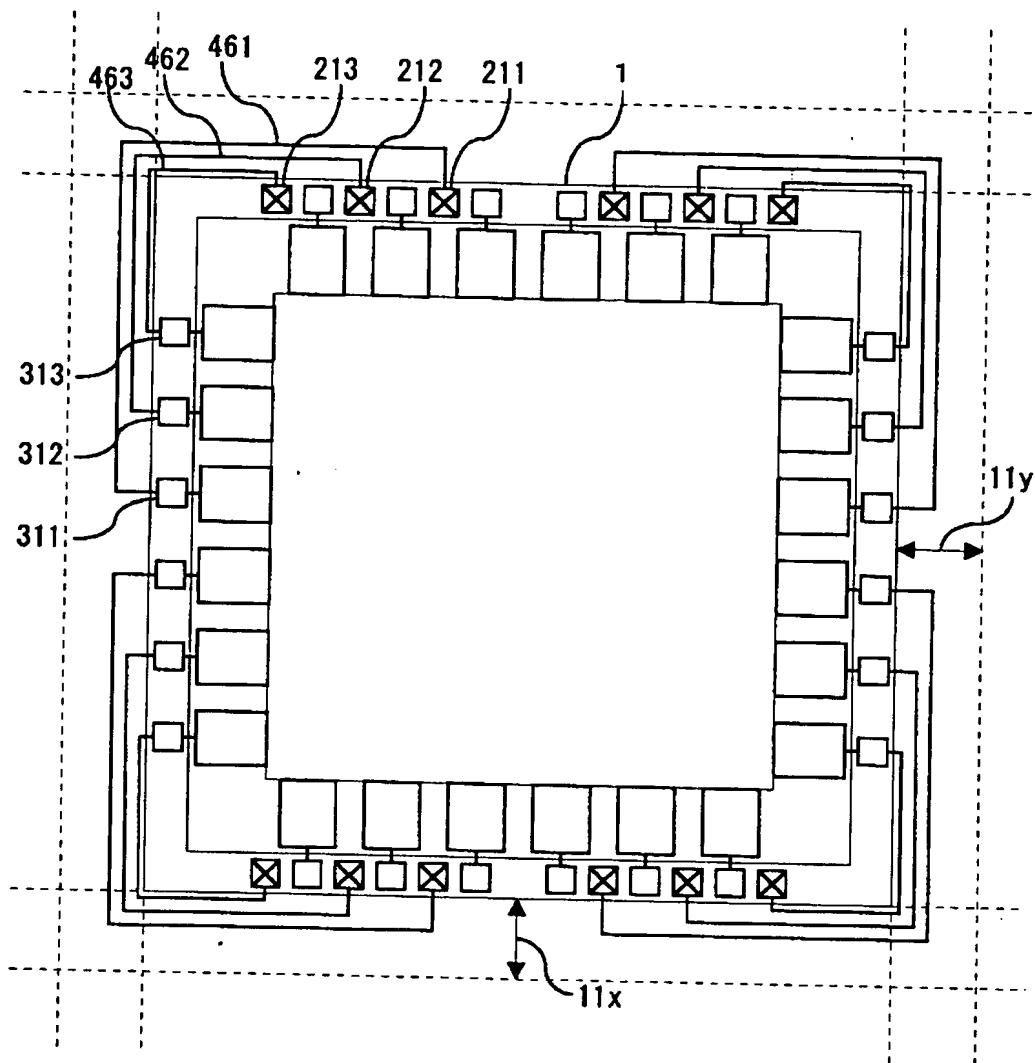
【図 5】

図 5



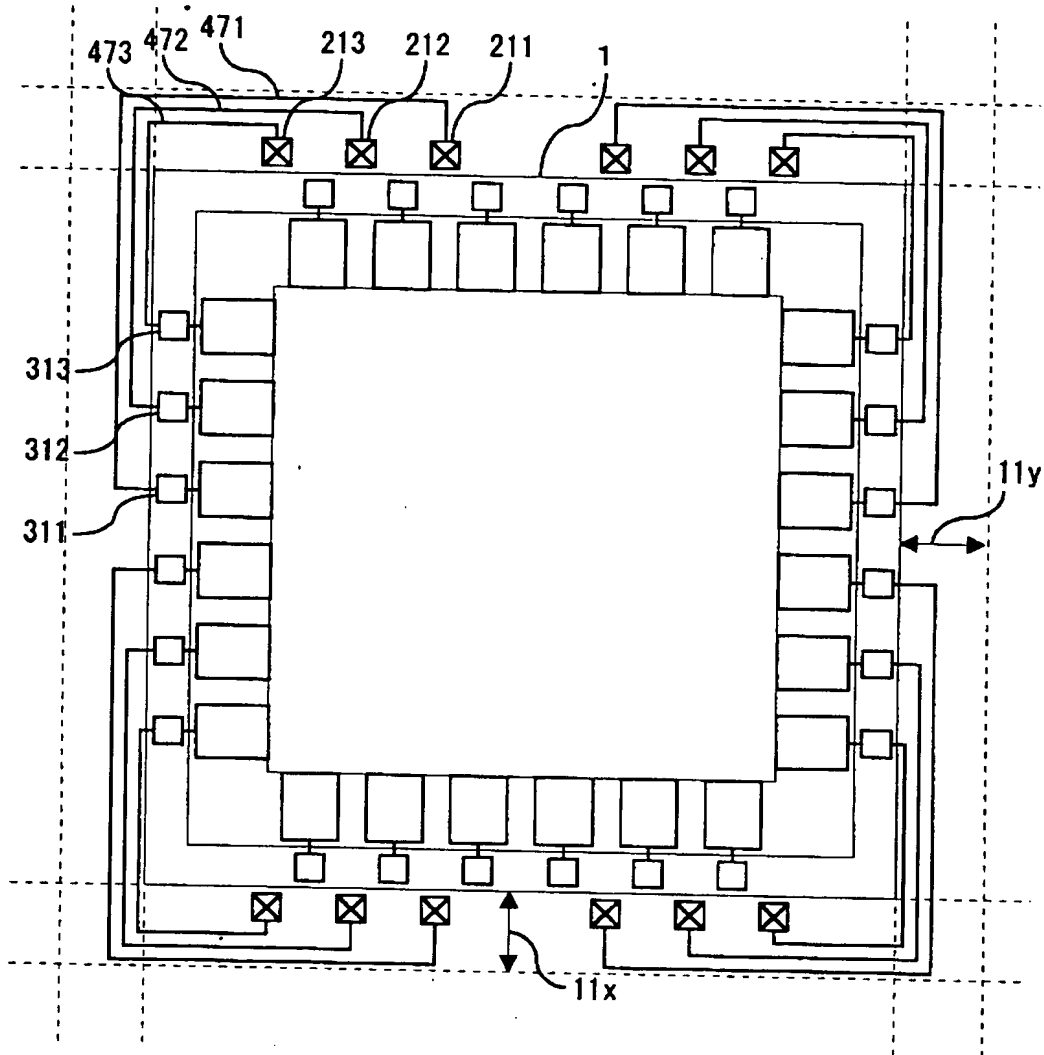
【図 6】

図 6



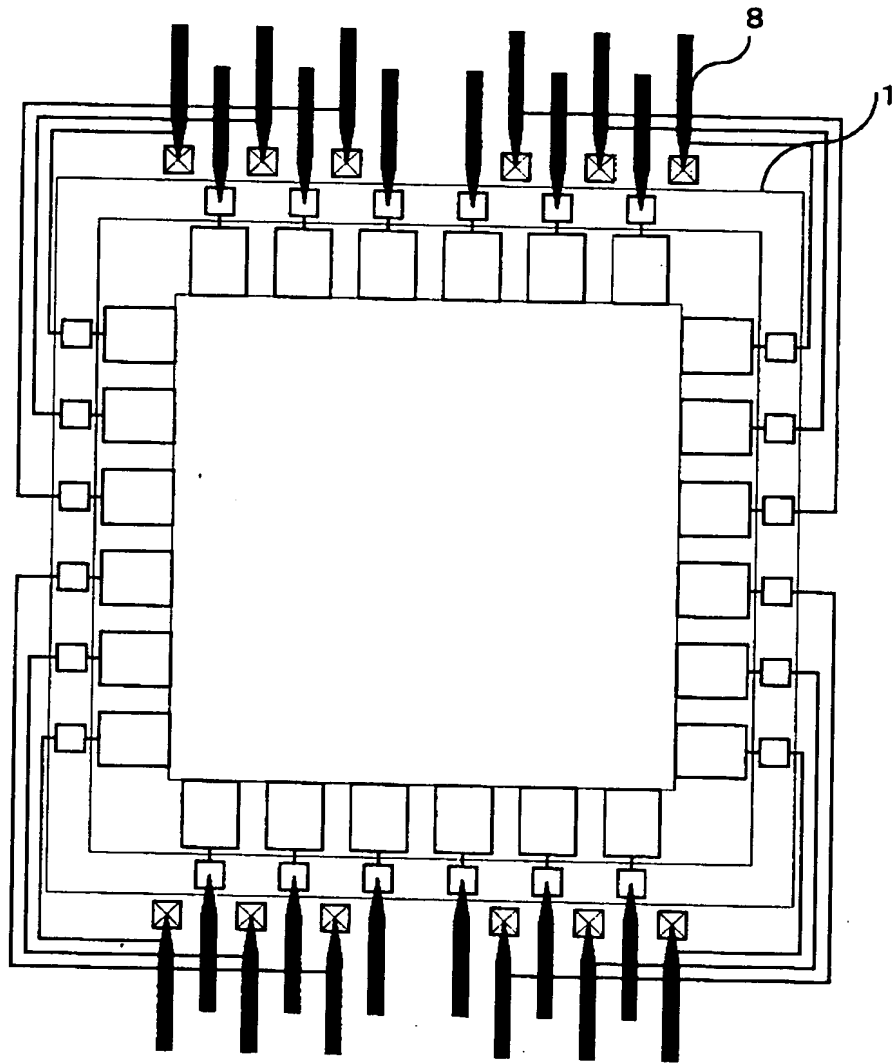
【図 7】

図 7



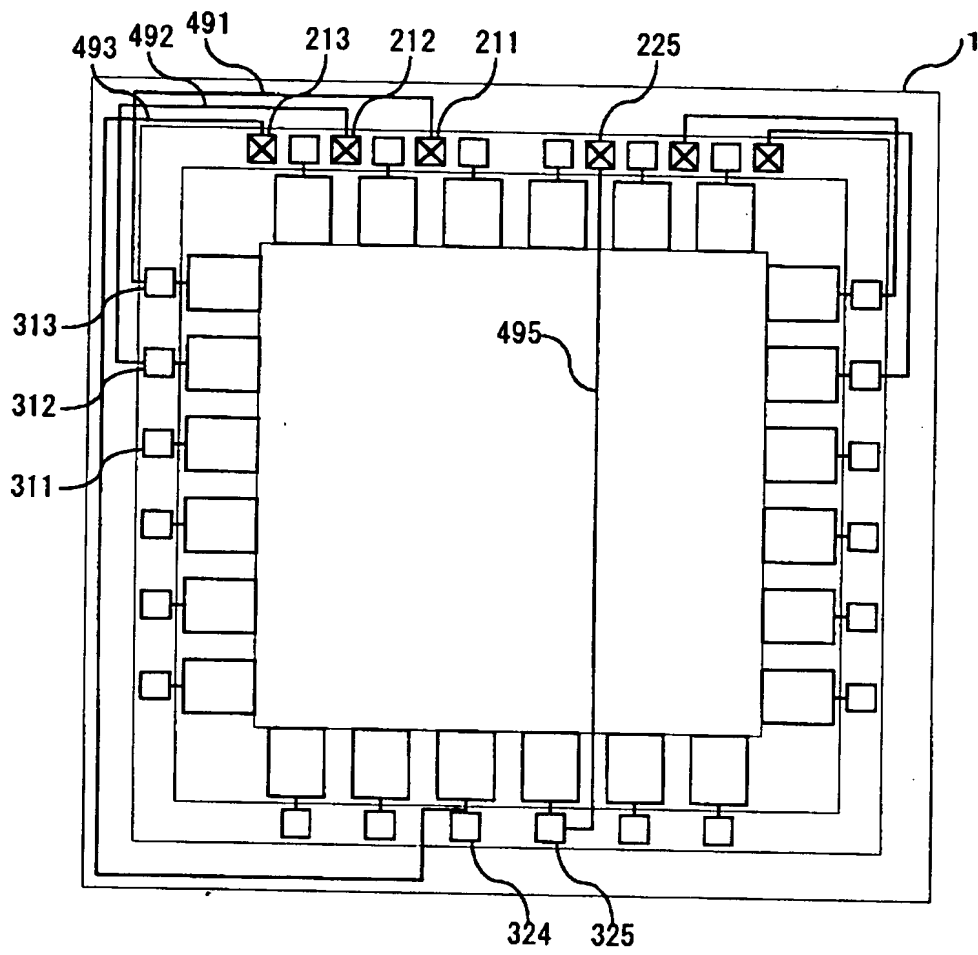
【図8】

図8



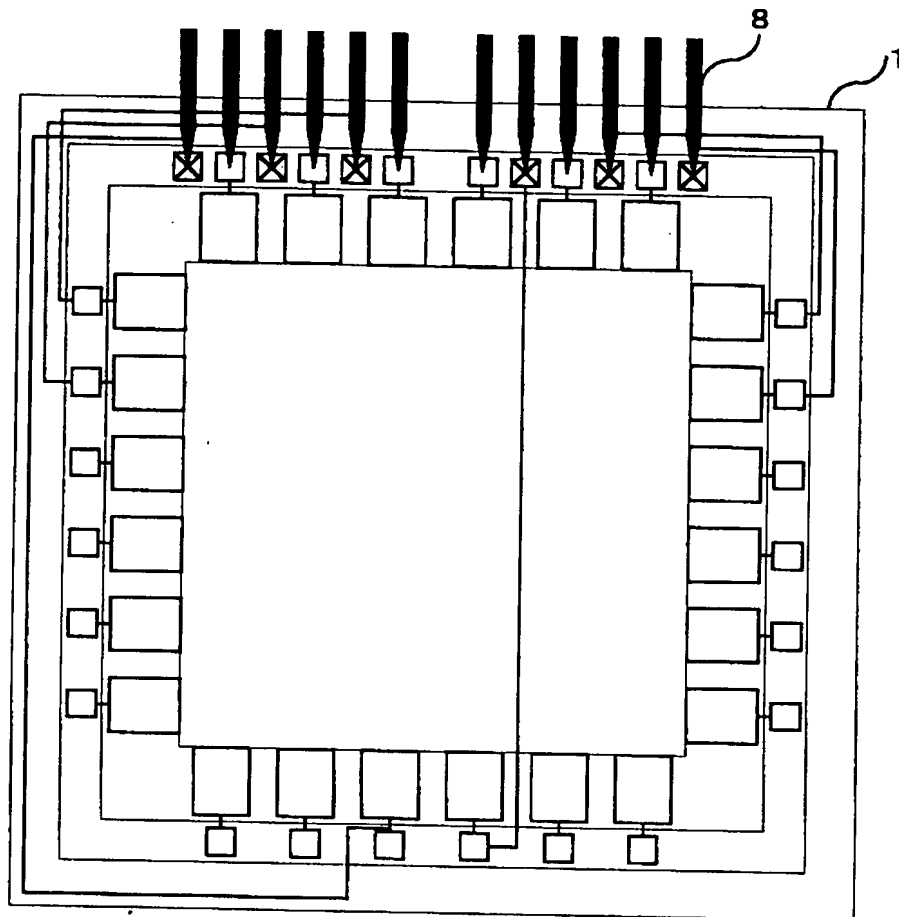
【図 9】

図 9

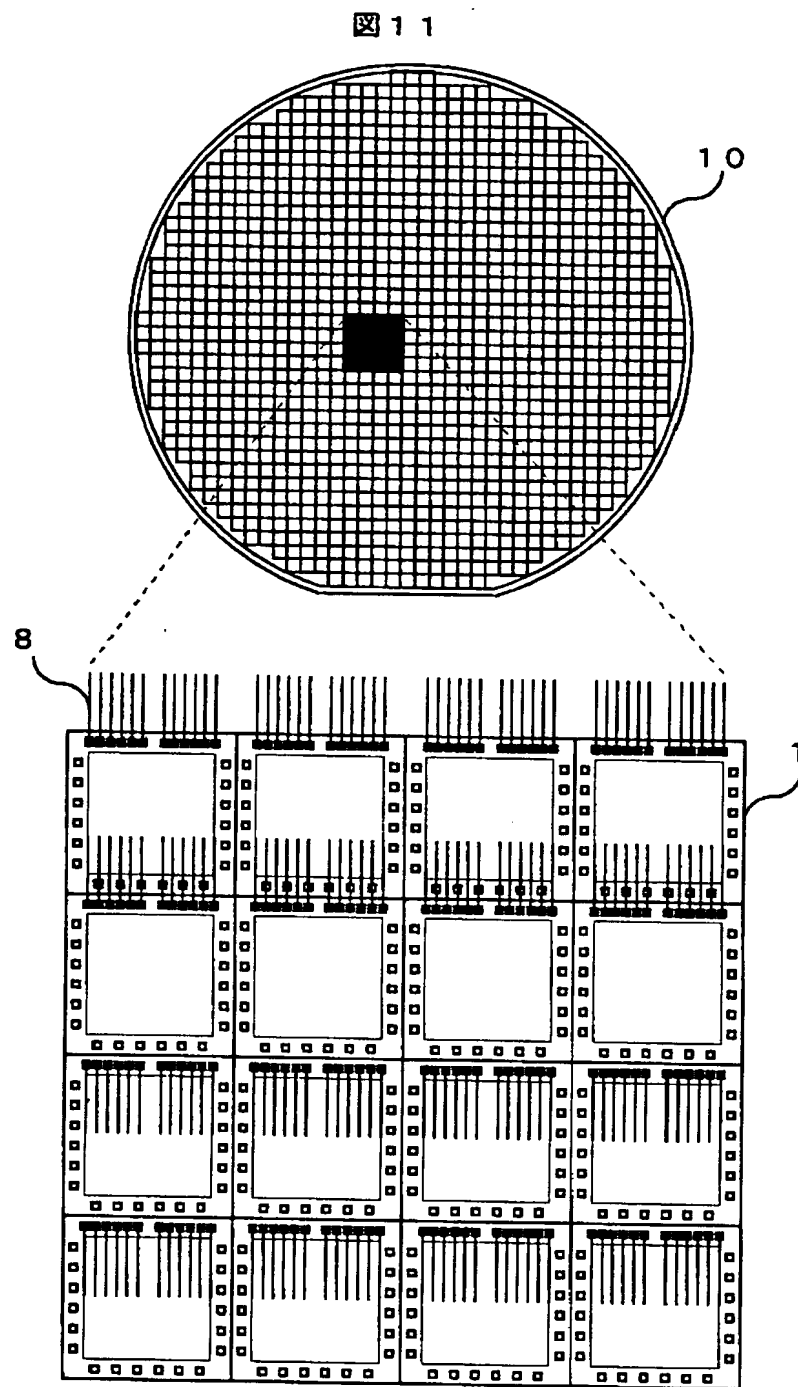


【図 1 0】

図 1 0

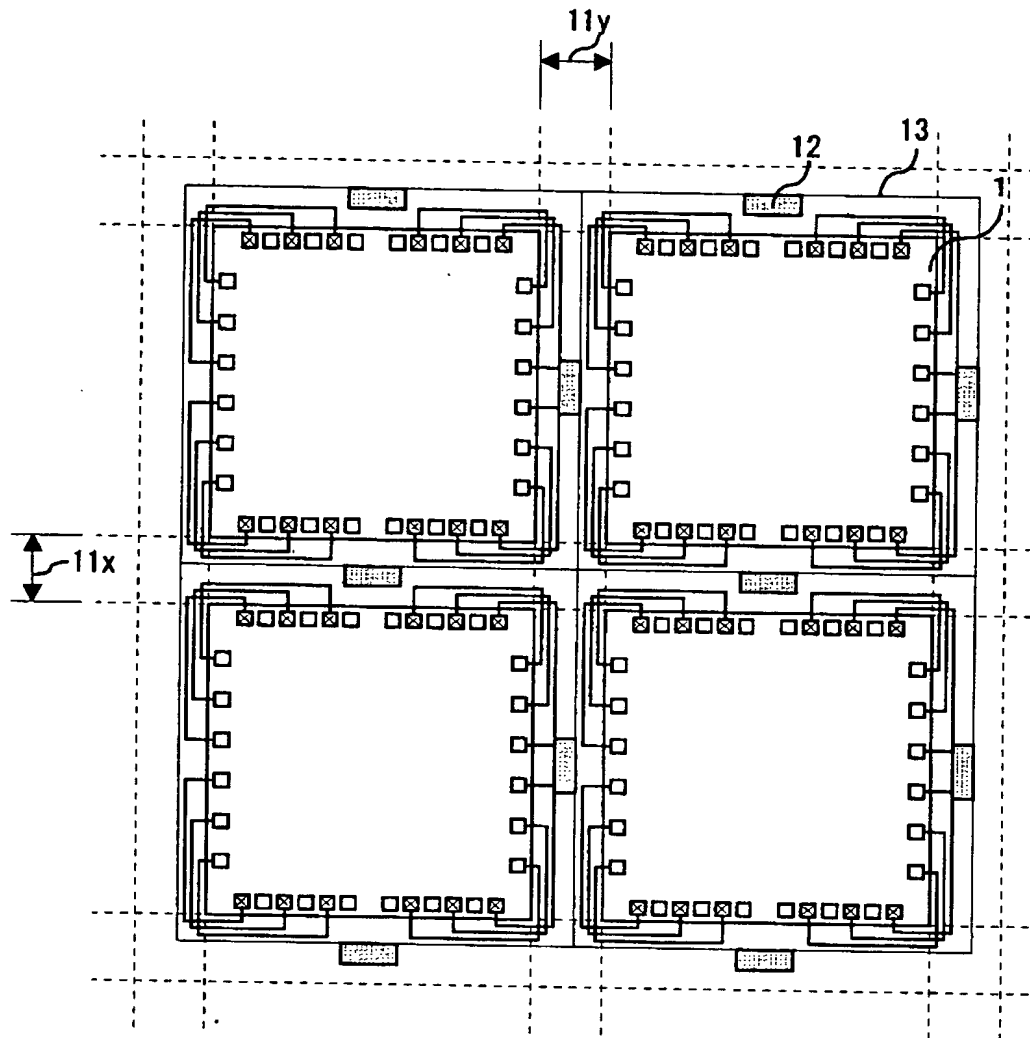


【図 11】



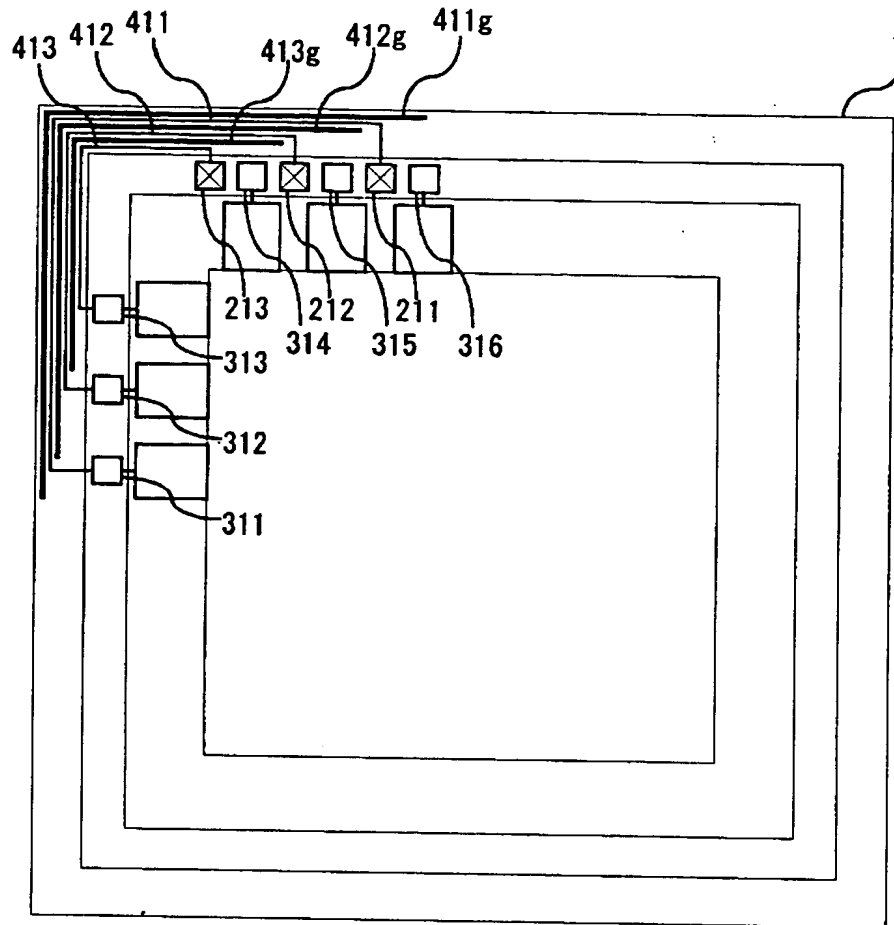
【図 12】

図 12



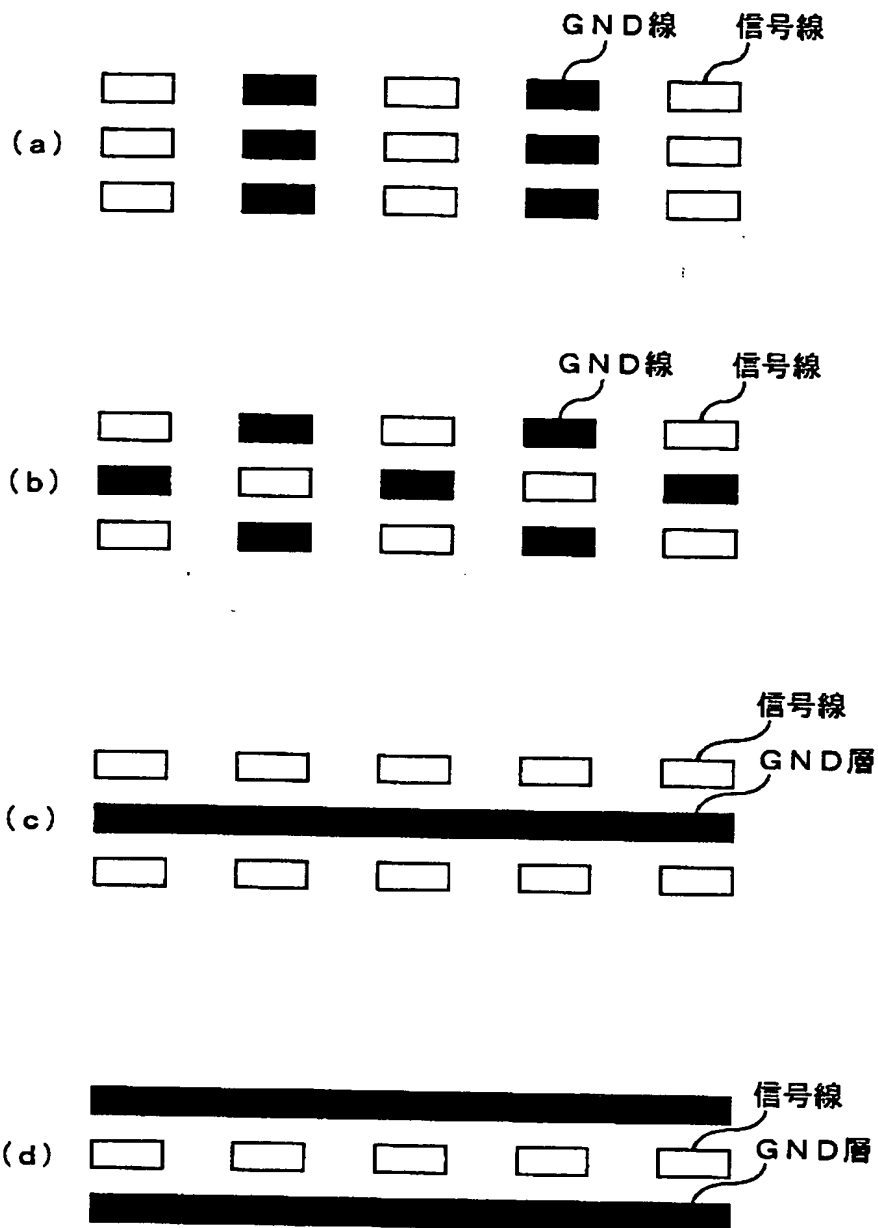
【図 1 3】

図 1 3



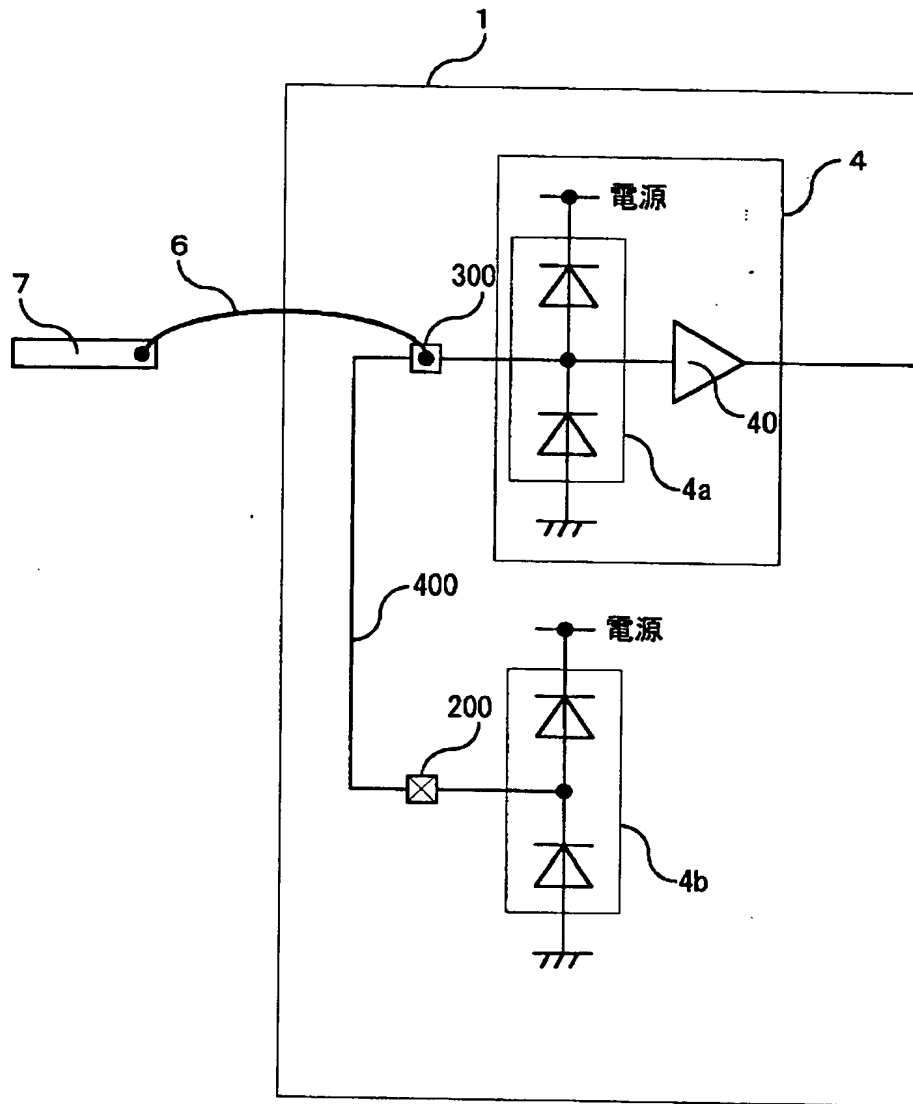
【図 14】

図 14



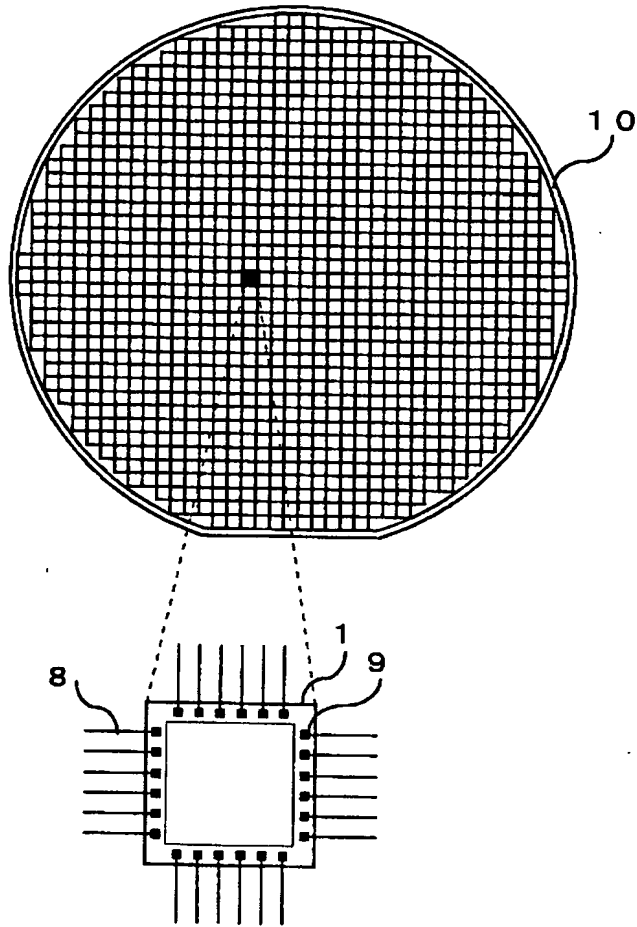
【図 15】

図 15



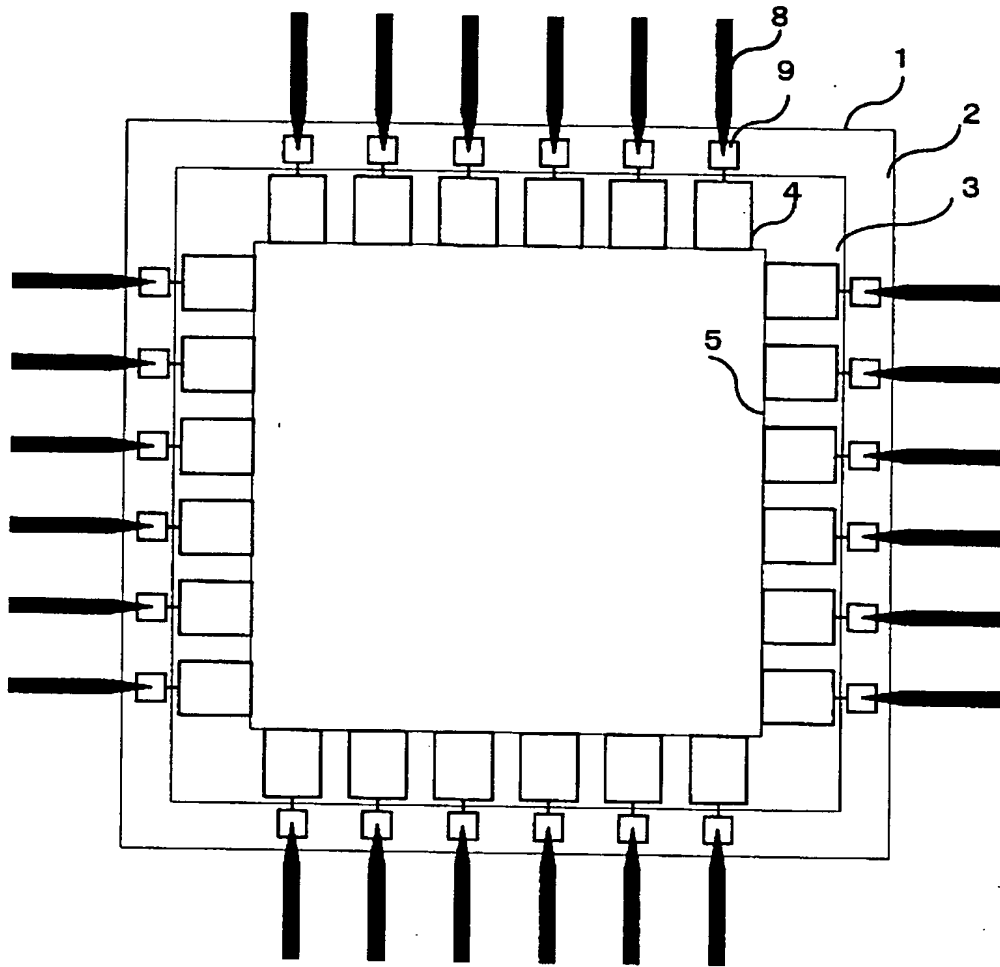
【図 16】

図 16



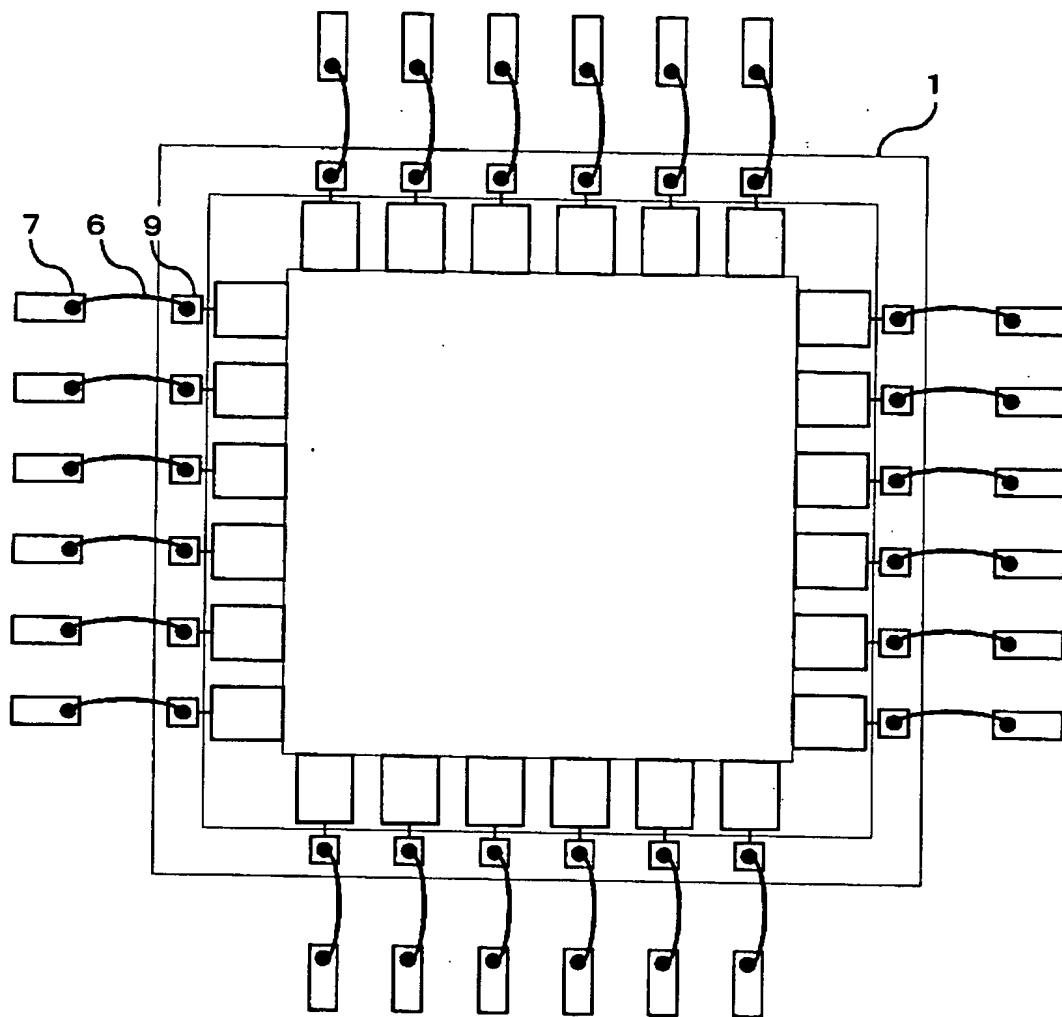
【図 17】

図 17



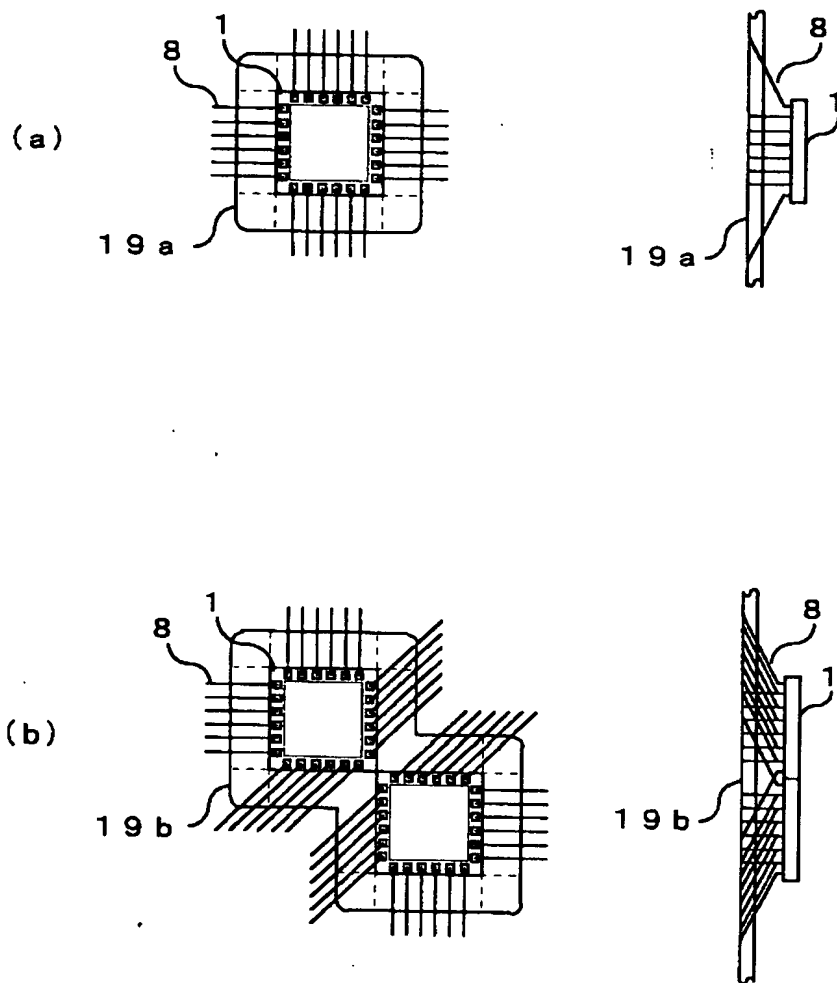
【図18】

図 18



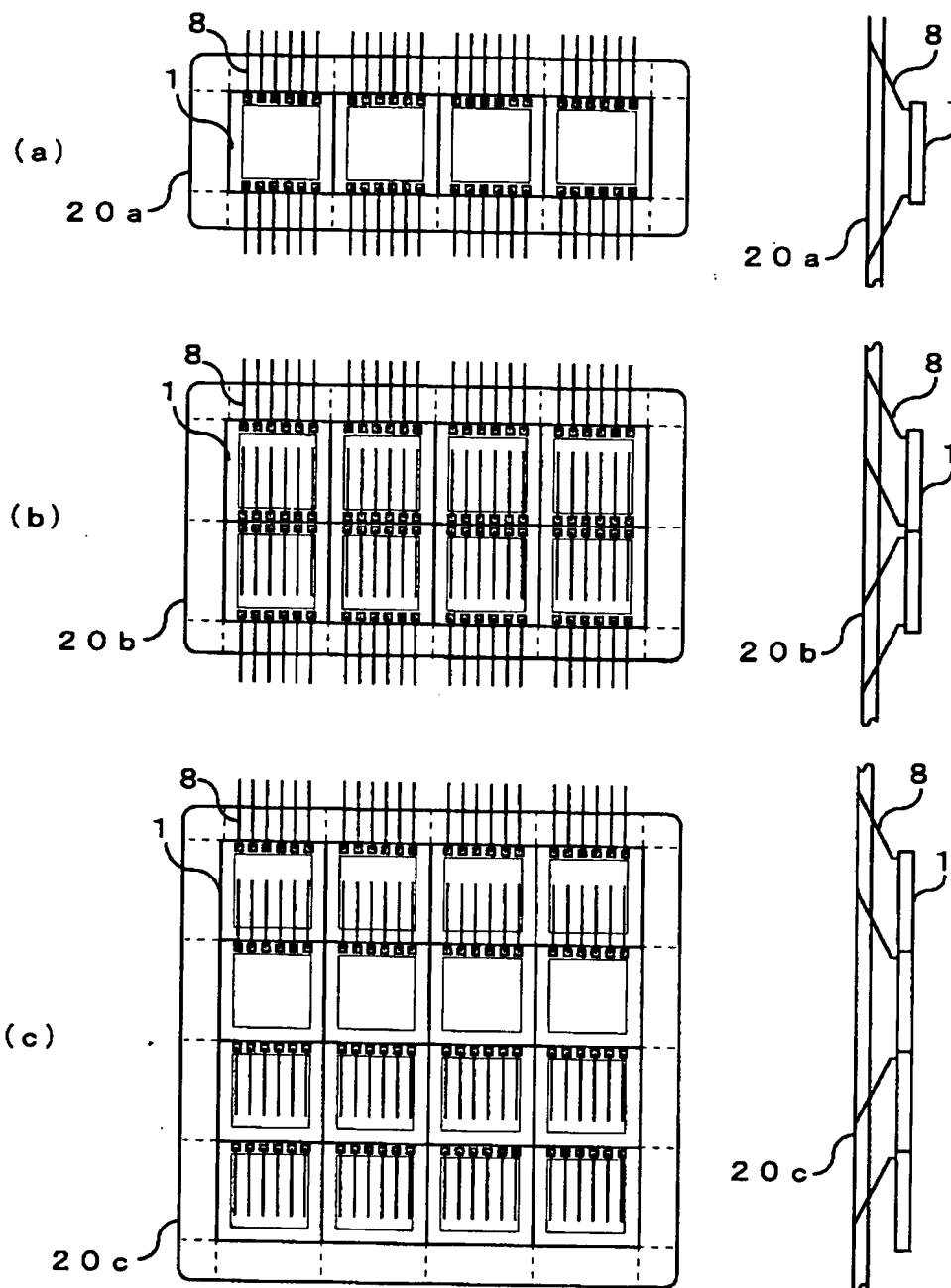
【図 19】

図 19



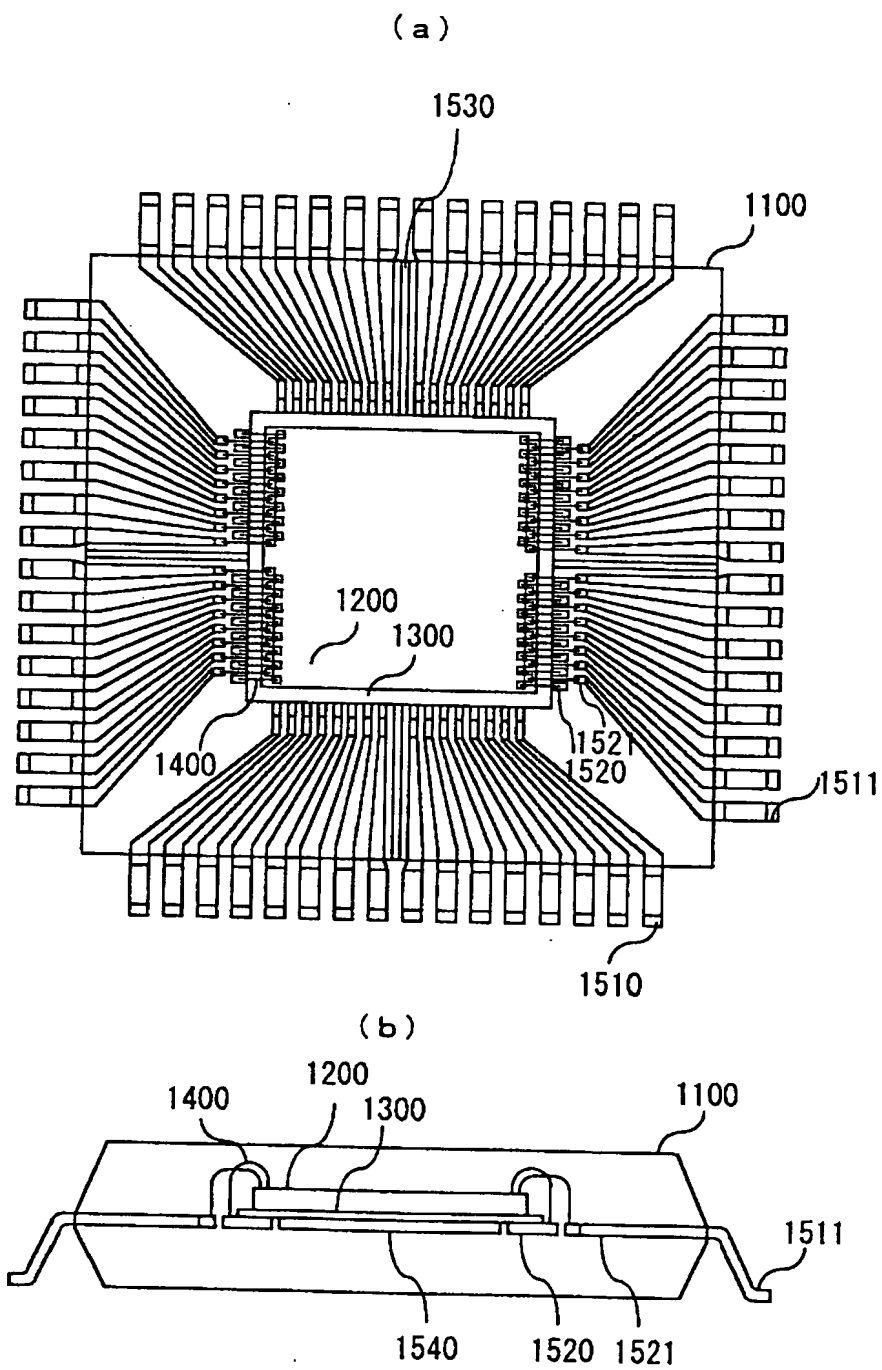
【図 20】

図 20



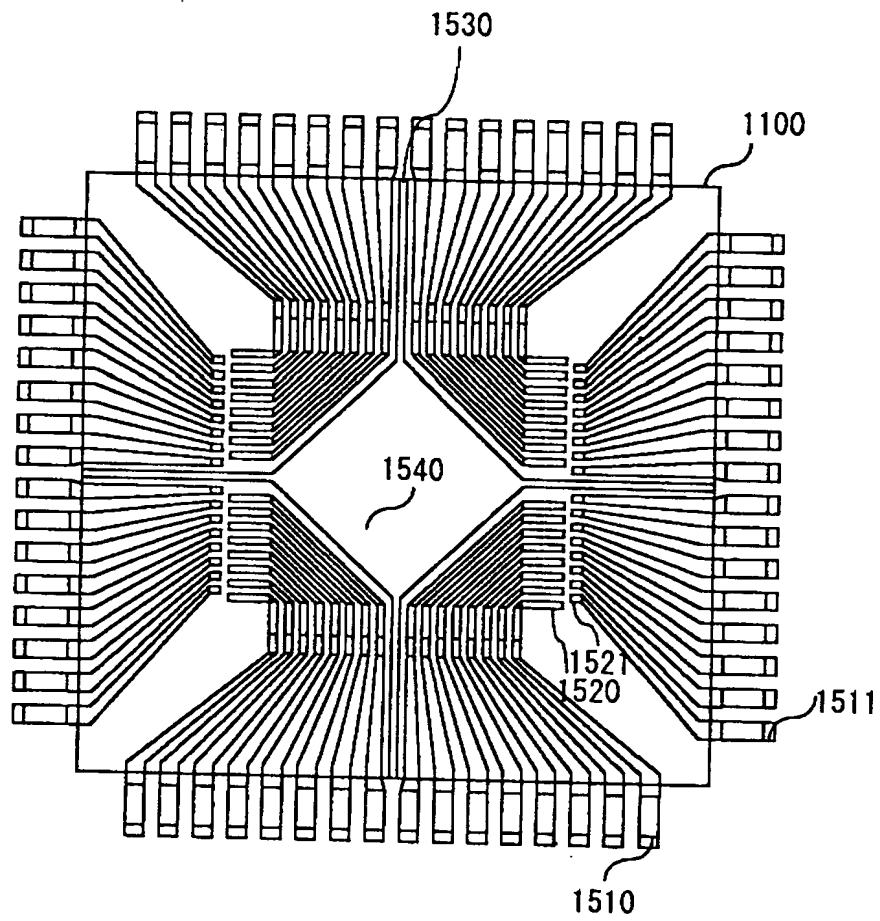
【図 21】

図 21



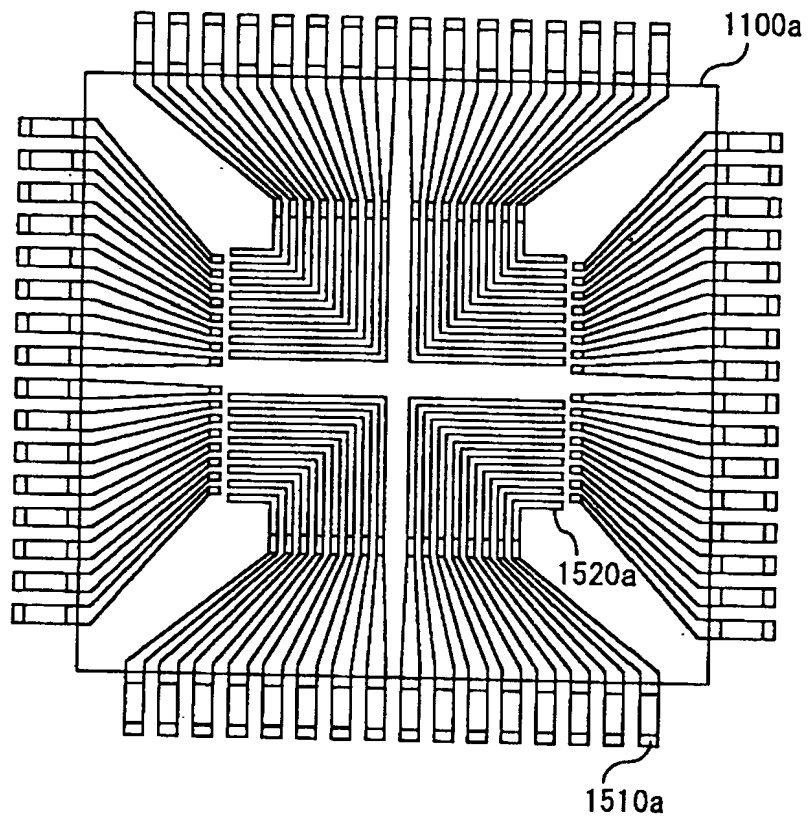
【図 22】

図 22



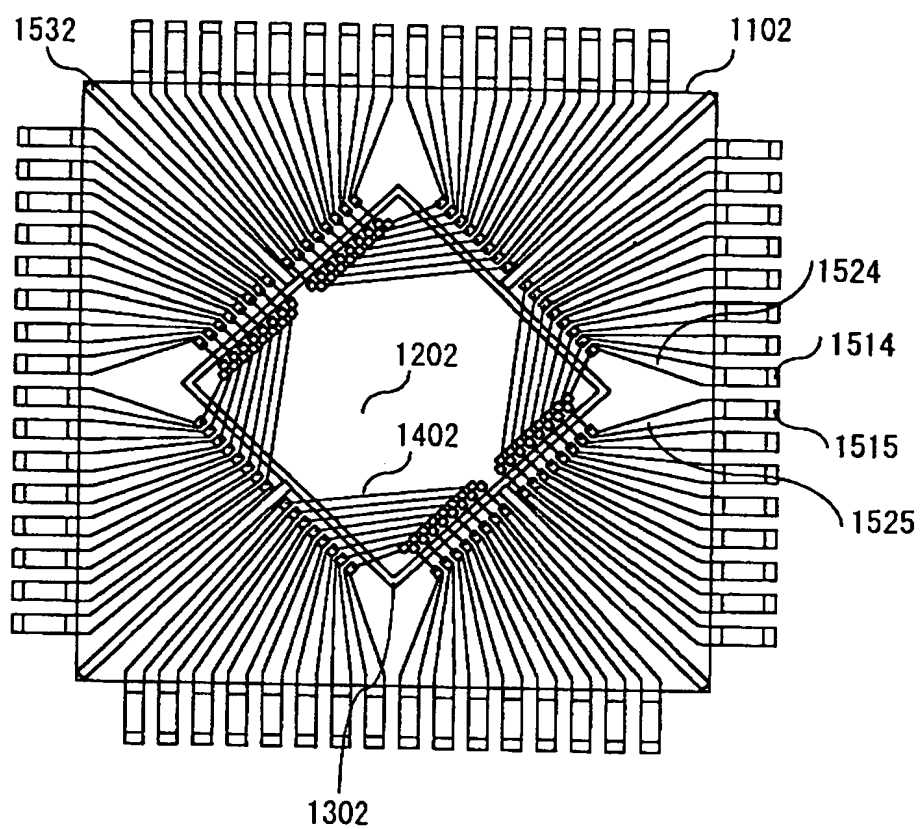
【図 23】

図 23



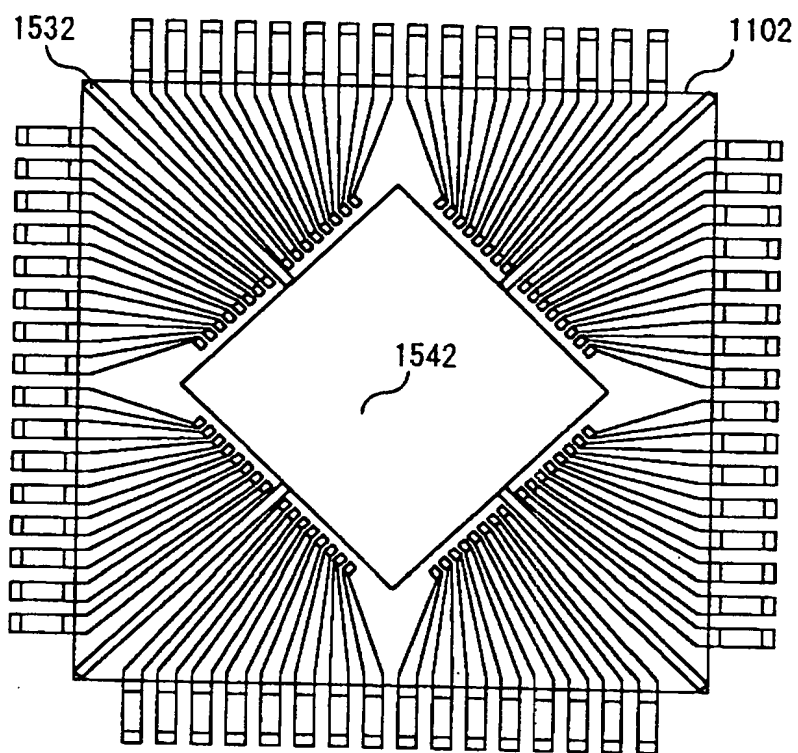
【 図 2 4 】

図 2 4



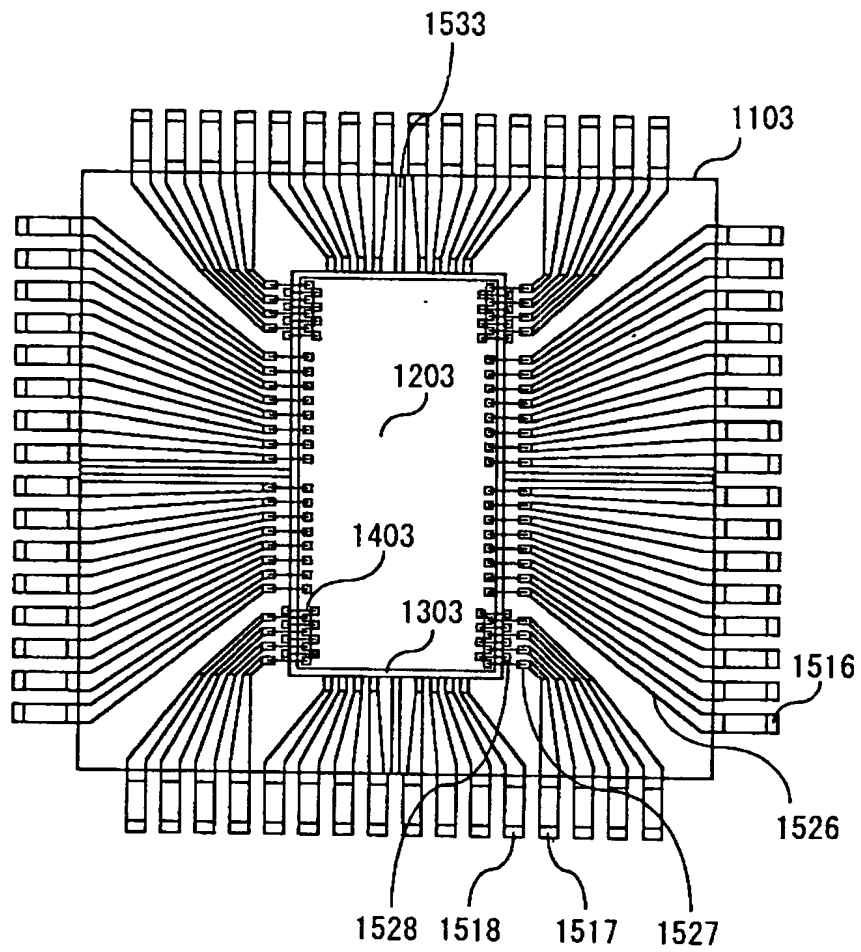
【図 2 5】

図 2 5



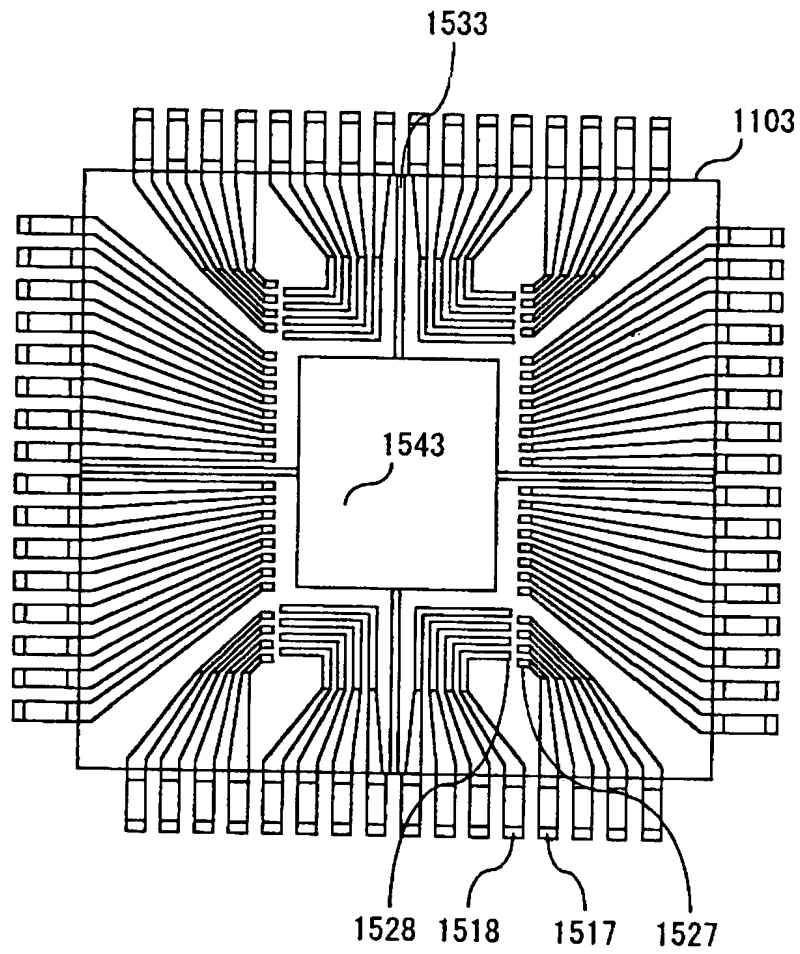
【図 2 6】

図 2 6



【図 27】

図 27



【書類名】 要約書

【要約】

【課題】 従来、プローブ検査において、4 辺に検査パッドがある半導体集積回路装置に対しては、特殊なプローブカード使用しない限り、1 回に1 個ずつ順番に移動と針当てとを繰り返して検査をしていた。このため、1 枚の半導体ウエハ上の全ての回路を検査するためには、半導体ウエハ1 枚当たりの検査時間＝1 回当たりの検査時間×検査回数（回路数）だけ時間がかかってしまうという問題があった。そのため、特に安価な半導体集積回路装置の製造においては、このプローブ検査にかかる時間が直接コストに影響するため、無視できない問題となっていた。

【解決手段】 ボンディング用パッドとプローブ検査用パッドとを配置した半導体集積回路装置1 において、プローブ検査用パッド2 1 1, 2 1 2, 2 1 3, …は回路1 の1 辺又は対向する2 辺上に配置して、該プローブ検査用パッドを配置した上記1 辺又は対向する2 辺以外の辺上に配置された所望のボンディング用パッド3 1 1, 3 1 2, 3 1 3, …から接続用配線4 1 1, 4 1 2, 4 1 3, …を延ばして対応するプローブ検査用パッド2 1 1, 2 1 2, 2 1 3, …に接続する。プローブ検査時には、検査対象回路の上記1 辺又は対向する2 辺に配置されたパッド（プローブ検査用パッド及びボンディング用パッド）に対してプローブ針を当てて検査する。

【効果】 半導体集積回路装置の同時複数個単位でのプローブ検査を容易化できる。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2001-265210
受付番号	50101284631
書類名	特許願
担当官	佐々木 吉正 2424
作成日	平成13年 9月 7日

<認定情報・付加情報>

【提出日】	平成13年 9月 3日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [0 0 0 2 3 3 1 6 9]

1. 変更年月日 1 9 9 8 年 4 月 3 日

[変更理由] 名称変更

住 所 東京都小平市上水本町5丁目22番1号

氏 名 株式会社日立超エル・エス・アイ・システムズ